

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

JC929 U.S. PRO  
09/802686  
03/12/01



IN RE APPLICATION OF: Yuuichi HIRANO, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

## REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-080096	March 22, 2000
Japan	2000-342937	November 10, 2000

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
  - are submitted herewith
  - will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak  
Registration No. 24,913  
C. Irvin McClelland  
Registration Number 21,124



**22850**

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

日本特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

518-01  
JC929 U.S. PRO  
09/802886  
03/12/01  


別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

2000年 3月22日

出願番号  
Application Number:

特願2000-080096

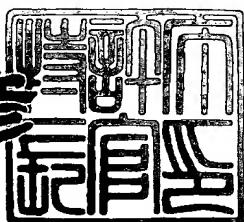
出願人  
Applicant(s):

三菱電機株式会社

2000年 4月 7日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



出証番号 出証特2000-3025102

【書類名】 特許願  
【整理番号】 522435JP01  
【提出日】 平成12年 3月22日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 29/786  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  
【氏名】 平野 有一  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  
【氏名】 前川 繁登  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  
【氏名】 岩松 俊明  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  
【氏名】 松本 拓治  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  
【氏名】 前田 茂伸  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  
【氏名】 山口 泰男

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有するS O I基板と、

前記半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、

前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第1の半導体素子と、

前記第1の半導体素子及び前記部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、

前記層間絶縁膜上に選択的に形成された、電源／接地配線の少なくとも一方と

前記電源／接地配線の少なくとも一方の下方において、前記半導体層の前記主面から前記絶縁層の上面に達して形成された第1の完全分離型素子分離絶縁膜とを備える半導体装置。

【請求項2】 前記半導体層内において前記第1の半導体素子に隣接して形成され、前記第1の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第2の半導体素子と、

前記第1の半導体素子と前記第2の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の前記上面に達して形成された第2の完全分離型素子分離絶縁膜と

をさらに備える、請求項1に記載の半導体装置。

【請求項3】 前記半導体層内において前記第1の半導体素子に隣接して形成され、前記第1の半導体素子の動作周波数と異なる動作周波数の第2の半導体素子と、

前記第1の半導体素子と前記第2の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の前記上面に達して形成された第2の完全分離型素子分離絶縁膜と

をさらに備える、請求項1に記載の半導体装置。

【請求項4】 前記層間絶縁膜上に選択的に形成され、前記第1の半導体素子に電気的に接続された信号配線と、

前記信号配線の下方において、前記半導体層の前記正面から前記絶縁層の前記上面に達して形成された第3の完全分離型素子分離絶縁膜と  
をさらに備える、請求項1～3のいずれか一つに記載の半導体装置。

【請求項5】 前記層間絶縁膜上に選択的に形成され、前記第1の半導体素子と外部素子とを電気的に接続するためのボンディングパッドと、

前記ボンディングパッドの下方において、前記半導体層の前記正面から前記絶縁層の前記上面に達して形成された第4の完全分離型素子分離絶縁膜と  
をさらに備える、請求項1～4のいずれか一つに記載の半導体装置。

【請求項6】 半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有するSOI基板と、

前記半導体層の正面内に選択的に形成された部分分離型素子分離絶縁膜と、  
前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される  
素子形成領域内に形成された第1の半導体素子と、

前記半導体層内において前記第1の半導体素子に隣接して形成され、前記第1  
の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第2  
の半導体素子と、

前記第1の半導体素子と前記第2の半導体素子との間において、前記半導体層  
の前記正面から前記絶縁層の上面に達して形成された完全分離型素子分離絶縁膜  
と  
を備える半導体装置。

【請求項7】 半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有するSOI基板と、

前記半導体層の正面内に選択的に形成された部分分離型素子分離絶縁膜と、  
前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される  
素子形成領域内に形成された第1の半導体素子と、

前記半導体層内において前記第1の半導体素子に隣接して形成され、前記第1  
の半導体素子の動作周波数と異なる動作周波数の第2の半導体素子と、

前記第1の半導体素子と前記第2の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の上面に達して形成された完全分離型素子分離絶縁膜と  
を備える半導体装置。

【請求項8】 半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有するS O I基板と、

前記半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、

前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、

前記半導体素子及び前記部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、

前記層間絶縁膜上に選択的に形成され、前記半導体素子に電気的に接続された信号配線と、

前記信号配線の下方において、前記半導体層の前記主面から前記絶縁層の上面に達して形成された完全分離型素子分離絶縁膜と  
を備える半導体装置。

【請求項9】 半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有するS O I基板と、

前記半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、

前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、

前記層間絶縁膜上に選択的に形成され、前記半導体素子と外部素子とを電気的に接続するためのボンディングパッドと、

前記ボンディングパッドの下方において、前記半導体層の前記主面から前記絶縁層の上面に達して形成された完全分離型素子分離絶縁膜と  
を備える半導体装置。

【請求項10】 半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有するS O I基板と、

前記半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、

前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、

前記半導体素子及び前記部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、

前記層間絶縁膜上に選択的に形成された、電源／接地配線の少なくとも一方と

前記半導体層内において前記電源／接地配線の少なくとも一方の下方に形成され、前記半導体層内の他の箇所における不純物濃度よりも低い不純物濃度を有する低濃度不純物領域と

を備える半導体装置。

【請求項11】 (a) 半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有するS O I基板を準備する工程と、

(b) 前記半導体層の主面内に部分分離型素子分離絶縁膜を選択的に形成するとともに、電源／接地配線の少なくとも一方の形成予定領域の下方において、前記半導体層の前記主面から前記絶縁層の上面に達する第1の完全分離型素子分離絶縁膜を形成する工程と、

(c) 前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に、第1の半導体素子を形成する工程と、

(d) 前記第1の半導体素子、前記部分分離型素子分離絶縁膜、及び前記完全分離型素子分離絶縁膜上に層間絶縁膜を形成する工程と、

(e) 前記層間絶縁膜上に前記電源／接地配線の少なくとも一方を選択的に形成する工程と  
を備える、半導体装置の製造方法。

【請求項12】 (f) 前記半導体層内において、前記第1の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第2の半導体素子と、前記第1の半導体素子に隣接して形成する工程と、

(g) 前記第1の半導体素子と前記第2の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の前記上面に達する第2の完全分離型素子分離絶縁膜を形成する工程と

をさらに備える、請求項11に記載の半導体装置の製造方法。

【請求項13】 (f) 前記半導体層内において、前記第1の半導体素子の動作周波数と異なる動作周波数の第2の半導体素子を、前記第1の半導体素子に隣接して形成する工程と、

(g) 前記第1の半導体素子と前記第2の半導体素子との間において、前記半導体層の前記正面から前記絶縁層の前記上面に達する第2の完全分離型素子分離絶縁膜を形成する工程と

をさらに備える、請求項11に記載の半導体装置の製造方法。

【請求項14】 (h) 前記第1の半導体素子に電気的に接続される信号配線の形成予定領域の下方において、前記半導体層の前記正面から前記絶縁層の前記上面に達する第3の完全分離型素子分離絶縁膜を形成する工程と、

(i) 前記層間絶縁膜上に前記信号配線を選択的に形成する工程と

をさらに備える、請求項11～13のいずれか一つに記載の半導体装置の製造方法。

【請求項15】 (j) 前記第1の半導体素子と外部素子とを電気的に接続するためのボンディングパッドの形成予定領域の下方において、前記半導体層の前記正面から前記絶縁層の前記上面に達する第4の完全分離型素子分離絶縁膜を形成する工程と、

(k) 前記層間絶縁膜上に前記ボンディングパッドを選択的に形成する工程とをさらに備える、請求項11～14のいずれか一つに記載の半導体装置の製造方法。

【請求項16】 前記工程 (b) は、

(x) 前記部分分離型素子分離絶縁膜の形成予定領域及び前記第1の完全分離型素子分離絶縁膜の形成予定領域において、前記半導体層の前記正面を所定膜厚だけ掘り下げるにより、第1の凹部を形成する工程と、

(y) 前記第1の完全分離型素子分離絶縁膜の形成予定領域において、前記工程 (x) により露出した前記第1の凹部の底面を選択的に掘り下げて前記絶縁層の前記上面を露出することにより、第2の凹部を形成する工程と、

(z) 前記第1の凹部内及び前記第2の凹部内に絶縁膜を埋め込む工程と

を有する、請求項11に記載の半導体装置の製造方法。

【請求項17】 前記工程(y)は、

(y-1) 前記工程(x)により得られる構造上にフォトトレジストを形成する工程と、

(y-2) 所定のマスクパターンを有するフォトマスクを用いて前記フォトトレジストを露光する工程と、

(y-3) 露光後の前記フォトトレジストを現像する工程と、

(y-4) 現像後の前記フォトトレジストをエッチングマスクとして前記半導体層をエッチングすることにより、前記第2の凹部を形成する工程とを有し、

前記所定のマスクパターンは、前記電源/接地配線の少なくとも一方の形成予定領域が表されている配線レイアウトに基づいて自動生成されることを特徴とする、請求項16に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置の構造及びその製造方法に関し、特に、SOI基板を用いた半導体装置の構造及びその製造方法に関するものである。

【0002】

【従来の技術】

図36は、SOI基板を用いた第1の従来の半導体装置の構造を示す断面図である。図36に示すように第1の従来の半導体装置は、シリコン基板102、絶縁層103、及びシリコン層104がこの順に積層された積層構造を有するSOI基板101を備えている。シリコン層104の上面内には、パーシャルトレンチ型の複数の素子分離絶縁膜105が選択的に形成されている。素子分離絶縁膜105によって規定されるSOI基板101の素子形成領域には、NMOSトランジスタ(以下「NMOS」と称する)が形成されている。NMOSは、シリコン層104内に形成され、P形のチャネル領域110を挟んで対を成す、いずれもn<sup>+</sup>形のソース領域109s及びドレイン領域109dを有している。また、

NMOSは、チャネル領域110上に形成され、ゲート絶縁膜106及びゲート電極107がこの順に積層された積層構造と、該積層構造の側面に形成されたサイドウォール108とを有するゲート構造を有している。また、シリコン層104内には、 $p^+$ 形のボディ領域111が選択的に形成されている。

#### 【0003】

NMOS、素子分離絶縁膜105、及びボディ領域111上には、層間絶縁膜120が形成されている。層間絶縁膜120上には、配線113、117がそれぞれ選択的に形成されている。層間絶縁膜120内には、配線113とドレイン領域109dとを互いに電気的に接続するための、内部が導体プラグで充填されたコンタクトホール112が選択的に形成されている。また、層間絶縁膜120内には、配線117とソース領域109sとを互いに電気的に接続するための、内部が導体プラグで充填されたコンタクトホール116が選択的に形成されている。

#### 【0004】

層間絶縁膜120上には、層間絶縁膜121が形成されており、層間絶縁膜121上には、電源配線115及び接地配線119がそれぞれ選択的に選択的に形成されている。層間絶縁膜121内には、電源配線115と配線113とを互いに電気的に接続するための、内部が導体プラグで充填されたコンタクトホール114が選択的に形成されている。また、層間絶縁膜121内には、接地配線119と配線117とを互いに電気的に接続するための、内部が導体プラグで充填されたコンタクトホール118が選択的に形成されている。

#### 【0005】

図37は、SOI基板を用いた第2の従来の半導体装置の構造を示す上面図である。図37に示すように第2の従来の半導体装置は、パーシャルトレンチ型の素子分離絶縁膜105を挟んで互いに隣接して形成された、2つのCMOSトランジスタ（以下「CMOS」と称する）140、141を備えている。

#### 【0006】

##### 【発明が解決しようとする課題】

しかし、図36に示した第1の従来の半導体装置には、以下のような問題があ

った。図38、39は、第1の従来の半導体装置の問題を説明するためのタイミングチャートである。図36に示した半導体装置を用いて論理回路を構成し、その論理回路は、入力の電位が「H」の時に基準クロックが立ち下がれば、出力の電位が「L」から「H」に遷移し（例えば図38の時刻T1や図39の時刻T3）、入力の電位が「L」の時に基準クロックが立ち下がれば、出力の電位が「H」から「L」に遷移する（例えば図38の時刻T2や図39の時刻T4）回路であるものとする。ここで、図36に示すように第1の従来の半導体装置において、電源配線115及び接地配線119は、ボディ領域111の上方に形成されている。従って、何らかの外部ノイズの影響によって電源配線115や接地配線119の電位が変動すると、容量カップリングによって、ボディ領域111の電位にも変動が生じる。そして、このボディ領域111の電位の変動は、上記論理回路の動作において、入力のノイズ130として表れる。

#### 【0007】

このとき、図38に示すように、論理回路の動作周波数が数kHz程度に低く、基準クロックの周期がノイズ130の波長よりも十分に長い場合は、論理回路の動作はノイズ130の影響を受けにくい。しかし、図39に示すように論理回路の動作周波数が数GHz程度に高くなると、論理回路の動作はノイズ130の影響を受けやすくなる。図39に示した例では、時刻T5において出力の電位が「L」から「H」に遷移し、時刻T6において出力の電位が「H」から「L」に遷移する結果、誤った出力パルス131が発生している。

#### 【0008】

このように第1の従来の半導体装置によると、ボディ領域の電位が電源配線や接地配線の電位の変動による影響を受けやすいため、半導体装置の動作周波数が高くなると誤動作を生じやすいという問題があった。

#### 【0009】

また、図37に示した第2の従来の半導体装置には、以下のような問題があった。図40は、第2の従来の半導体装置の問題を説明するための断面図である。図40は、図37に示した半導体装置の、ラインL100に沿った位置における断面構造に相当するものであり、図40に示した左側のトランジスタがCMOS

140の有するNMOSに対応し、右側のトランジスタがCMOS141の有するNMOSに対応する。

【0010】

一般的に、トランジスタの動作は温度による影響を受けやすく、周囲の温度が高くなるほどトランジスタの電流が低下することが知られている。ここで、図37に示した半導体装置において、CMOS140の動作しきい値電圧が比較的高く、大きな電流が流れて発熱量が大きい一方、CMOS141の動作しきい値電圧が比較的低く、発熱量も小さいものとする。このような場合、CMOS140において発生した熱は、図40に示した矢印150で表されるように、素子分離絶縁膜105の下のシリコン層104を通ってCMOS141に伝導する。そして、この熱はCMOS141の電流を小さくするように作用し、CMOS141の動作を不安定にする。その結果、特にアナログ回路やRF回路等のように微妙な電流の大きさによって回路動作が決定される回路においては、誤動作が生じて回路特性を劣化させる。

【0011】

このように第2の従来の半導体装置によると、発熱量が異なる2つの半導体素子が互いに隣接して形成されている場合に、一方の半導体素子における発熱が他方の半導体素子の動作に影響を及ぼし、誤動作を招くという問題があった。

【0012】

本発明はこれらの問題を解決するために成されたものであり、第1に、電源配線や接地配線の電位の変動に起因するボディ領域の電位の変動を抑制することにより、半導体装置の動作周波数が高くなった場合であっても誤動作を防止し得る半導体装置及びその製造方法を得ることを目的とする。また、第2に、発熱量が異なる2つの半導体素子が互いに隣接して形成されている場合に、一方の半導体素子における発熱が他方の半導体素子の動作に与える影響を緩和することにより、誤動作を防止し得る半導体装置及びその製造方法を得ることを目的とするものである。

【0013】

【課題を解決するための手段】

この発明のうち請求項1に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有するSOI基板と、半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第1の半導体素子と、第1の半導体素子及び部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、層間絶縁膜上に選択的に形成された、電源／接地配線の少なくとも一方と、電源／接地配線の少なくとも一方の下方において、半導体層の主面から絶縁層の上面に達して形成された第1の完全分離型素子分離絶縁膜とを備えるものである。

#### 【0014】

また、この発明のうち請求項2に記載の半導体装置は、請求項1に記載の半導体装置であって、半導体層内において第1の半導体素子に隣接して形成され、第1の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第2の半導体素子と、第1の半導体素子と第2の半導体素子との間において、半導体層の主面から絶縁層の上面に達して形成された第2の完全分離型素子分離絶縁膜とをさらに備えることを特徴とするものである。

#### 【0015】

また、この発明のうち請求項3に記載の半導体装置は、請求項1に記載の半導体装置であって、半導体層内において第1の半導体素子に隣接して形成され、第1の半導体素子の動作周波数と異なる動作周波数の第2の半導体素子と、第1の半導体素子と第2の半導体素子との間において、半導体層の主面から絶縁層の上面に達して形成された第2の完全分離型素子分離絶縁膜とをさらに備えることを特徴とするものである。

#### 【0016】

また、この発明のうち請求項4に記載の半導体装置は、請求項1～3のいずれか一つに記載の半導体装置であって、層間絶縁膜上に選択的に形成され、第1の半導体素子に電気的に接続された信号配線と、信号配線の下方において、半導体層の主面から絶縁層の上面に達して形成された第3の完全分離型素子分離絶縁膜とをさらに備えることを特徴とするものである。

## 【0017】

また、この発明のうち請求項5に記載の反動遺体装置は、請求項1～4のいずれか一つに記載の半導体装置であって、層間絶縁膜上に選択的に形成され、第1の半導体素子と外部素子とを電気的に接続するためのボンディングパッドと、ボンディングパッドの下方において、半導体層の正面から絶縁層の上面に達して形成された第4の完全分離型素子分離絶縁膜とをさらに備えることを特徴とするものである。

## 【0018】

また、この発明のうち請求項6に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有するSOI基板と、半導体層の正面内に選択的に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第1の半導体素子と、半導体層内において第1の半導体素子に隣接して形成され、第1の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第2の半導体素子と、第1の半導体素子と第2の半導体素子との間において、半導体層の正面から絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備えるものである。

## 【0019】

また、この発明のうち請求項7に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有するSOI基板と、半導体層の正面内に選択的に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第1の半導体素子と、半導体層内において第1の半導体素子に隣接して形成され、第1の半導体素子の動作周波数と異なる動作周波数の第2の半導体素子と、第1の半導体素子と第2の半導体素子との間において、半導体層の正面から絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備えるものである。

## 【0020】

また、この発明のうち請求項8に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有するSOI基板と、半導体層の

主面内に選択的に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、半導体素子及び部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、層間絶縁膜上に選択的に形成され、半導体素子に電気的に接続された信号配線と、信号配線の下方において、半導体層の主面から絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備えるものである。

## 【0021】

また、この発明のうち請求項9に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有するSOI基板と、半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、層間絶縁膜上に選択的に形成され、半導体素子と外部素子とを電気的に接続するためのボンディングパッドと、ボンディングパッドの下方において、半導体層の主面から絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備えるものである。

## 【0022】

また、この発明のうち請求項10に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有するSOI基板と、半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、半導体素子及び部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、層間絶縁膜上に選択的に形成された、電源／接地配線の少なくとも一方と、半導体層内において電源／接地配線の少なくとも一方の下方に形成され、半導体層内の他の箇所における不純物濃度よりも低い不純物濃度を有する低濃度不純物領域とを備えるものである。

## 【0023】

また、この発明のうち請求項11に記載の半導体装置の製造方法は、(a)半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有するSOI基板を準備する工程と、(b)半導体層の主面内に部分分離型素子分離絶縁膜を

選択的に形成するとともに、電源／接地配線の少なくとも一方の形成予定領域の下方において、半導体層の正面から絶縁層の上面に達する第1の完全分離型素子分離絶縁膜を形成する工程と、(c) 半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に、第1の半導体素子を形成する工程と、(d) 第1の半導体素子、部分分離型素子分離絶縁膜、及び完全分離型素子分離絶縁膜上に層間絶縁膜を形成する工程と、(e) 層間絶縁膜上に電源／接地配線の少なくとも一方を選択的に形成する工程とを備えるものである。

#### 【0024】

また、この発明のうち請求項12に記載の半導体装置の製造方法は、請求項11に記載の半導体装置の製造方法であって、(f) 半導体層内において、第1の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第2の半導体素子を、第1の半導体素子に隣接して形成する工程と、(g) 第1の半導体素子と第2の半導体素子との間において、半導体層の正面から絶縁層の上面に達する第2の完全分離型素子分離絶縁膜を形成する工程とをさらに備えることを特徴とするものである。

#### 【0025】

また、この発明のうち請求項13に記載の半導体装置の製造方法は、請求項11に記載の半導体装置の製造方法であって、(f) 半導体層内において、第1の半導体素子の動作周波数と異なる動作周波数の第2の半導体素子を、第1の半導体素子に隣接して形成する工程と、(g) 第1の半導体素子と第2の半導体素子との間において、半導体層の正面から絶縁層の上面に達する第2の完全分離型素子分離絶縁膜を形成する工程とをさらに備えることを特徴とするものである。

#### 【0026】

また、この発明のうち請求項14に記載の半導体装置の製造方法は、請求項11～13のいずれか一つに記載の半導体装置の製造方法であって、(h) 第1の半導体素子に電気的に接続される信号配線の形成予定領域の下方において、半導体層の正面から絶縁層の上面に達する第3の完全分離型素子分離絶縁膜を形成する工程と、(i) 層間絶縁膜上に信号配線を選択的に形成する工程とをさらに備えることを特徴とするものである。

## 【0027】

また、この発明のうち請求項15に記載の半導体装置の製造方法は、請求項11～14のいずれか一つに記載の半導体装置の製造方法であって、(j)第1の半導体素子と外部素子とを電気的に接続するためのボンディングパッドの形成予定領域の下方において、半導体層の正面から絶縁層の上面に達する第4の完全分離型素子分離絶縁膜を形成する工程と、(k)層間絶縁膜上にボンディングパッドを選択的に形成する工程とをさらに備えることを特徴とするものである。

## 【0028】

また、この発明のうち請求項16に記載の半導体装置の製造方法は、請求項11に記載の半導体装置の製造方法であって、工程(b)は、(x)部分分離型素子分離絶縁膜の形成予定領域及び第1の完全分離型素子分離絶縁膜の形成予定領域において、半導体層の正面を所定膜厚だけ掘り下げるにより、第1の凹部を形成する工程と、(y)第1の完全分離型素子分離絶縁膜の形成予定領域において、工程(x)により露出した第1の凹部の底面を選択的に掘り下げて絶縁層の上面を露出することにより、第2の凹部を形成する工程と、(z)第1の凹部内及び第2の凹部内に絶縁膜を埋め込む工程とを有することを特徴とするものである。

## 【0029】

また、この発明のうち請求項17に記載の半導体装置の製造方法は、請求項16に記載の半導体装置の製造方法であって、工程(y)は、(y-1)工程(x)により得られる構造上にフォトレジストを形成する工程と、(y-2)所定のマスクパターンを有するフォトマスクを用いてフォトレジストを露光する工程と、(y-3)露光後のフォトレジストを現像する工程と、(y-4)現像後のフォトレジストをエッティングマスクとして半導体層をエッティングすることにより、第2の凹部を形成する工程とを有し、所定のマスクパターンは、電源／接地配線の少なくとも一方の形成予定領域が表されている配線レイアウトに基づいて自動生成されることを特徴とするものである。

## 【0030】

## 【発明の実施の形態】

以下、CMOSを例にとり、本発明の具体的な実施の形態について説明する。

【0031】

実施の形態1.

図1は、本発明の実施の形態1に係る半導体装置の構造を示す上面図であり、図2は、図1に示した半導体装置の、ラインL1に沿った位置における断面構造を示す断面図である。但し、図1においては説明の都合上、後述する層間絶縁膜13、20及びサイドウォール8の記載を省略している。図1、2を参照して、本実施の形態1に係る半導体装置は、シリコン基板2、絶縁層3、及びシリコン層4がこの順に積層された積層構造を有するSOI基板1を備えている。シリコン層4の上面内には、パーシャルトレンチ型の素子分離絶縁膜5が選択的に形成されている。素子分離絶縁膜5によって規定されるSOI基板1の素子形成領域には、PMOS及びNMOSが形成されている。

【0032】

NMOSは、シリコン層4内に形成され、p形の不純物導入領域（チャネル領域）10を挟んで対を成す、いずれもn<sup>+</sup>形のソース・ドレイン領域28を有している。また、NMOSは、不純物導入領域10上に形成され、ゲート絶縁膜6及びゲート電極7がこの順に積層された積層構造と、該積層構造の側面に形成されたサイドウォール8とを有するゲート構造を有している。

【0033】

同様にPMOSは、シリコン層4内に形成され、n形の不純物導入領域（チャネル領域）9を挟んで対を成す、いずれもp<sup>+</sup>形のソース・ドレイン領域27を有している。また、PMOSは、不純物導入領域9上に形成され、ゲート絶縁膜6及びゲート電極7がこの順に積層された積層構造と、該積層構造の側面に形成されたサイドウォール8とを有するゲート構造を有している。ゲート電極7は、PMOSとNMOSとの間の素子分離絶縁膜5上にも延在しており、PMOSのゲート電極7とNMOSのゲート電極とは一体として形成されている。また、シリコン層4内には、p<sup>+</sup>形のボディ領域12及びn<sup>+</sup>形のボディ領域11がそれぞれ選択的に形成されている。

【0034】

NMOS、PMOS、素子分離絶縁膜5、及びボディ領域11、12上には、層間絶縁膜13が形成されている。層間絶縁膜13上には、配線15、17、19、26がそれぞれ選択的に形成されている。層間絶縁膜13内には、配線15とボディ領域11、配線17とボディ領域12、及び配線19とゲート電極7とをそれぞれ互いに電気的に接続するための、内部が導体プラグで充填されたコンタクトホール14、16、18がそれぞれ選択的に形成されている。また、図1を参照して、配線15、17は、層間絶縁膜13内にそれぞれ選択的に形成され、内部が導体プラグで充填されたコンタクトホール（図示しない）を介して、ソース・ドレイン領域27、28にそれぞれ電気的に接続されており、配線26は、層間絶縁膜13内にそれぞれ選択的に形成され、内部が導体プラグで充填されたコンタクトホール（図示しない）を介して、ソース・ドレイン領域27、28にそれぞれ電気的に接続されている。

#### 【0035】

図2を参照して、層間絶縁膜13上には層間絶縁膜20が形成されている。層間絶縁膜20上には、電源配線21及び接地配線22がそれぞれ選択的に形成されている。電源配線21及び接地配線22はいずれも、素子分離絶縁膜5の上方に形成されている。電源配線21の下方において、素子分離絶縁膜5には、絶縁層3の上面に達する完全分離部分23が形成されている。換言すれば、本実施の形態1に係る半導体装置は、電源配線21の下方において、シリコン層4の上面から絶縁層3の上面に達して形成された完全分離型の素子分離絶縁膜を備えている。図2に示した完全分離部分23は、図1に示した完全分離領域24内に形成されており、図2に示した部分分離型の素子分離絶縁膜5は、図1に示した部分分離領域25内に形成されている。図1を参照して、電源配線21及び接地配線22は、層間絶縁膜20内にそれぞれ選択的に形成され、内部が導体プラグで充填されたコンタクトホール（図示しない）を介して、配線15、17にそれぞれ電気的に接続されている。

#### 【0036】

図3～16は、本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。まず、シリコン基板2、シリコン酸化膜から成り、4000

オングストローム程度の膜厚を有する絶縁層3、及び2000オングストローム程度の膜厚を有するシリコン層4がこの順に積層された積層構造を有するSOI基板1を準備する(図3)。次に、200オングストローム程度の膜厚を有するシリコン酸化膜30を、シリコン層4上に全面に形成する。その後、2000オングストローム程度の膜厚を有するシリコン窒化膜31を、シリコン酸化膜30上に全面に形成する(図4)。

#### 【0037】

次に、シリコン窒化膜31上の全面にフォトレジストを形成した後、素子分離絶縁膜5の形成レイアウトに対応するマスクパターンを有するフォトマスク(図示しない)を用いてフォトレジストを露光する。その後、フォトレジストを現像することにより、素子分離絶縁膜5の形成予定領域の上方に開口パターンを有するフォトレジスト32を形成する。その後、フォトレジスト32をエッチングマスクとして、シリコン窒化膜31、シリコン酸化膜30、及びシリコン層4をこの順に異方性ドライエッチングする。このエッチングは、シリコン層4が自身の上面から500～1000オングストローム程度エッチングされた時点で停止する。これにより、シリコン層4の上面内に凹部33が選択的に形成される(図5)。

#### 【0038】

次に、フォトレジスト32を除去した後、完全分離部分23の形成予定領域の上方に開口パターンを有するフォトレジスト34を形成する(図6)。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分23の形成予定領域の上方が開口したマスクパターンを有するフォトマスク(図示しない)を用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。

#### 【0039】

次に、フォトレジスト34をエッチングマスクとしてシリコン層4をエッティングする。これにより、完全分離部分23の形成予定領域における凹部33の底面が掘り下げられて絶縁層3の上面が露出し、凹部35が形成される。その後、フォトレジスト34を除去する(図7)。次に、CVD法によって、5000オン

ゲストローム程度の膜厚を有するシリコン酸化膜36を全面に堆積する。これにより、凹部33、35内はシリコン酸化膜36によって埋め込まれる（図8）。

#### 【0040】

次に、CMP法によって、シリコン窒化膜31の上面が露出するまでシリコン酸化膜36を研磨除去する（図9）。次に、ウェットエッチングによってシリコン酸化膜36の上部を除去した後、シリコン窒化膜31及びシリコン酸化膜30を除去する。これにより、凹部33、35内に残ったシリコン酸化膜36として、素子分離絶縁膜5が得られる（図10）。

#### 【0041】

次に、NMOSの形成予定領域の上方に開口パターンを有するフォトレジスト37を形成した後、ボロン等の不純物38を数10keV、数e12cm<sup>-2</sup>の条件下でイオン注入することにより、シリコン層4内に不純物導入領域10を形成する。次に、フォトレジスト37を除去した後、PMOSの形成予定領域の上方に開口パターンを有するフォトレジスト39を形成した後、リン等の不純物40を数100keV、数e12cm<sup>-2</sup>の条件下でイオン注入することにより、シリコン層4内に不純物導入領域9を形成する（図12）。

#### 【0042】

次に、熱酸化法によってシリコン層4の上面にゲート絶縁膜6を形成した後、CVD法によって3000オングストローム程度の膜厚を有するポリシリコン膜を堆積し、そのポリシリコン膜をパターニングすることにより、ゲート電極7を形成する。これにより、ゲート絶縁膜6及びゲート電極7がこの順に積層された積層構造を有するゲート構造が得られる（図13）。

#### 【0043】

次に、ゲート構造の側面にサイドウォール8を形成した後、ボディ領域11の形成予定領域及びソース・ドレイン領域28の形成予定領域の上方に開口パターンを有するフォトレジスト41を形成する。その後、フォトレジスト41及びゲート電極7をマスクとして、ヒ素等の不純物42を、数10keV、数e15cm<sup>-2</sup>の条件下でイオン注入することにより、シリコン層4内にボディ領域11及びソース・ドレイン領域28を形成する（図14）。次に、フォトレジスト41

を除去した後、ボディ領域12の形成予定領域及びソース・ドレイン領域27の形成予定領域の上方に開口パターンを有するフォトレジスト43を形成する。その後、フォトレジスト43及びゲート電極7をマスクとして、フッ化ボロン(BF<sub>2</sub>)等の不純物44を、数10keV、数e15cm<sup>-2</sup>の条件下でイオン注入することにより、シリコン層4内にボディ領域12及びソース・ドレイン領域27を形成する(図15)。

#### 【0044】

次に、フォトレジスト43を除去した後、ゲート電極7の上面、ソース・ドレイン領域27, 28の上面、及びボディ領域11の上面をそれぞれシリサイド化することにより、コバルトシリサイド層(図示しない)を形成する。その後、10000オングストローム程度の膜厚を有するシリコン酸化膜をCVD法によって全面に堆積した後、そのシリコン酸化膜をCMP法によって5000オングストローム程度研磨除去して表面を平坦化することにより、層間絶縁膜13を形成する。その後、層間絶縁膜13を選択的に開口してコンタクトホール14, 16, 18を形成した後、各コンタクトホールの内部に導体プラグを埋め込む。その後、層間絶縁膜13上に、アルミニウムやポリシリコン等から成る配線15, 17, 19をそれぞれ選択的に形成する(図16)。

#### 【0045】

次に、CVD法によってシリコン酸化膜を全面に堆積した後、CMP法によってその表面を平坦化することにより層間絶縁膜20を形成する。その後、内部が導体プラグで充填されたコンタクトホールを層間絶縁膜20内に選択的に形成し、さらにアルミニウムやポリシリコン等から成る電源配線21及び接地配線22を層間絶縁膜20上にそれぞれ選択的に形成することにより、図2に示した構造を得る。

#### 【0046】

このように本実施の形態1に係る半導体装置によれば、電源配線21の下方には、ボディ領域11やシリコン層4のシリコン部分ではなく、完全分離部分23を有する素子分離絶縁膜5、即ち完全分離型の素子分離絶縁膜が形成されている。そのため、何らかの外部ノイズの影響によって電源配線21の電位が変動した

としても、容量カップリングによってボディ領域11の電位が変動することはない。従って、半導体装置の動作周波数が高くなつた場合であつても、ボディ領域11の電位の変動に起因する誤動作を適切に防止することができる。

#### 【0047】

##### 実施の形態2.

図17は、本発明の実施の形態2に係る半導体装置の構造を示す上面図であり、図18は、図17に示した半導体装置の、ラインL2に沿つた位置における断面構造を示す断面図である。但し、図17においては説明の都合上、層間絶縁膜13、20及びサイドウォール8の記載を省略している。図17、18に示すように本実施の形態2に係る半導体装置は、図1、2に示した上記実施の形態1に係る半導体装置を基礎として、電源配線21の下方に形成されていた完全分離部分23の代わりに、接地配線22の下方に完全分離部分51を形成したものである。図18に示した完全分離部分51は、図17に示した完全分離領域50内に形成されている。本実施の形態2に係る半導体装置のその他の構造は、上記実施の形態1に係る半導体装置の構造と同様である。

#### 【0048】

本実施の形態2に係る半導体装置は、図3～16において工程順に示した上記実施の形態1に係る半導体装置の製造方法を基礎として、図6に示した工程で使用するフォトマスクのマスクパターンを変更することによって形成することができる。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分51の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。これにより、完全分離部分51の形成予定領域の上方に開口パターンを有するフォトレジスト34を形成する。

#### 【0049】

このように本実施の形態2に係る半導体装置によれば、接地配線22の下方には、ボディ領域12やシリコン層4のシリコン部分ではなく、完全分離部分51を有する素子分離絶縁膜5、即ち完全分離型の素子分離絶縁膜が形成されている。そのため、何らかの外部ノイズの影響によって接地配線22の電位が変動した

としても、容量カップリングによってボディ領域12の電位が変動することはない。従って、半導体装置の動作周波数が高くなった場合であっても、ボディ領域12の電位の変動に起因する誤動作を適切に防止することができる。

#### 【0050】

##### 実施の形態3.

図19は、本発明の実施の形態3に係る半導体装置の構造を示す上面図であり、図20は、図19に示した半導体装置の、ラインL3に沿った位置における断面構造を示す断面図である。但し、図19においては説明の都合上、層間絶縁膜13、20及びサイドウォール8の記載を省略している。図19、20に示すように本実施の形態3に係る半導体装置は、図1、2に示した上記実施の形態1に係る半導体装置を基礎として、電源配線21の下方に形成されていた完全分離部分23に加えて、上記実施の形態2に係る半導体装置と同様に、接地配線22の下方にも完全分離部分51をさらに形成したものである。本実施の形態3に係る半導体装置のその他の構造は、上記実施の形態1、2に係る半導体装置の構造と同様である。

#### 【0051】

本実施の形態3に係る半導体装置は、図3～16において工程順に示した上記実施の形態1に係る半導体装置の製造方法を基礎として、図6に示した工程で使用するフォトマスクのマスクパターンを変更することによって形成することができる。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分23、51の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。これにより、完全分離部分23、51の形成予定領域の上方に開口パターンを有するフォトレジスト34を形成する。

#### 【0052】

このように本実施の形態3に係る半導体装置によれば、電源配線21及び接地配線22の下方には、ボディ領域11、12やシリコン層4のシリコン部分ではなく、完全分離部分23、51を有する素子分離絶縁膜5、即ち完全分離型の素子分離絶縁膜がそれぞれ形成されている。そのため、何らかの外部ノイズの影響

によって電源配線21や接地配線22の電位が変動したとしても、容量カップリングによってボディ領域11、12の電位が変動することはない。従って、半導体装置の動作周波数が高くなった場合であっても、ボディ領域11、12の電位の変動に起因する誤動作を適切に防止することができる。

#### 【0053】

##### 実施の形態4.

図21は、本発明の実施の形態4に係る半導体装置の構造を示す上面図であり、図22は、図21に示した半導体装置の、ラインL4に沿った位置における断面構造を示す断面図である。但し、図21においてはサイドウォール8の記載を省略している。図21、22に示すように本実施の形態4に係る半導体装置は、完全分離部分58を有する素子分離絶縁膜5を挟んで互いに隣接して形成された、2つのCMOS55、56を備えている。図22に示した完全分離部分58は、図21に示した完全分離領域57内に形成されている。CMOS55の有する動作しきい値電圧は、CMOS56の有する動作しきい値電圧よりも低く、CMOS55、56の動作時において、CMOS55からの発熱量はCMOS56からの発熱量よりも大きい。

#### 【0054】

素子分離絶縁膜5の完全分離部分58は、図6に示した上記実施の形態1に係る半導体装置の製造方法と同様の方法によって形成することができる。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分58の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。これにより、完全分離部分58の形成予定領域の上方に開口パターンを有するフォトレジスト34を形成する。

#### 【0055】

なお、本実施の形態4に係る発明を、上記実施の形態1～3に係る発明に組み合わせて適用することも可能である。

#### 【0056】

このように本実施の形態4に係る半導体装置によれば、動作しきい値電圧が互

いに異なる2つのCMOS55, 56が互いに隣接して形成されている半導体装置において、その2つのCMOS55, 56の間には、部分分離型の素子分離絶縁膜ではなく、完全分離部分58を有する素子分離絶縁膜5、即ち完全分離型の素子分離絶縁膜が形成されている。従って、CMOS55において発生した熱がCMOS56に伝導することを抑制することができるため、その熱によってCMOS56の動作が不安定になることを適切に防止することができる。

## 【0057】

実施の形態5.

図23は、本発明の実施の形態5に係る半導体装置の構造を示す上面図であり、図24は、図23に示した半導体装置の、ラインL5に沿った位置における断面構造を示す断面図である。但し、図23においてはサイドウォール8の記載を省略している。図23, 24に示すように本実施の形態5に係る半導体装置は、完全分離部分63を有する素子分離絶縁膜5を挟んで互いに隣接して形成された、2つのCMOS60, 61を備えている。図24に示した完全分離部分63は、図23に示した完全分離領域62内に形成されている。CMOS60, 61の動作周波数は互いに異なり、ここでは、CMOS60の動作周波数が、CMOS61の動作周波数よりも高いものとする。

## 【0058】

素子分離絶縁膜5の完全分離部分63は、図6に示した上記実施の形態1に係る半導体装置の製造方法と同様の方法によって形成することができる。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分63の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。これにより、完全分離部分63の形成予定領域の上方に開口パターンを有するフォトレジスト34を形成する。

## 【0059】

なお、本実施の形態5に係る発明を、上記実施の形態1～3に係る発明に組み合わせて適用することも可能である。

## 【0060】

このように本実施の形態5に係る半導体装置によれば、動作周波数が互いに異なる2つのCMOS60, 61が互いに隣接して形成されている半導体装置において、その2つのCMOS60, 61の間には、部分分離型の素子分離絶縁膜ではなく、完全分離部分63を有する素子分離絶縁膜5、即ち完全分離型の素子分離絶縁膜が形成されている。

#### 【0061】

動作周波数が高いCMOS60ではボディ電位の変化が大きく、逆に動作周波数が低いCMOS61ではボディ電位の変化が小さい。従って、CMOS60, 61の間に部分分離型の素子分離絶縁膜が形成されている場合は、CMOS60, 61の各ボディ電位が、部分分離型の素子分離絶縁膜5と絶縁層3との間のシリコン層4を介して互いに影響を及ぼし合う。その結果、アナログ回路やRF回路等のように微妙な電流の大きさによって回路動作が決定される回路においては、ボディ電位の相互影響に起因する微小な特性の変化が、回路の特性自体に大きな影響を及ぼす。これに対して、本実施の形態5に係る半導体装置によれば、CMOS60, 61の間には完全分離型の素子分離絶縁膜が形成されているため、上記のようにCMOS60, 61の各ボディ電位が互いに影響を及ぼし合うことを適切に防止することができる。

#### 【0062】

##### 実施の形態6.

図25は、本発明の実施の形態6に係る半導体装置の構造を示す上面図であり、図26は、図25に示した半導体装置の、ラインL6に沿った位置における断面構造を示す断面図である。但し、図25においては説明の都合上、層間絶縁膜13, 20及びサイドウォール8の記載を省略している。図25, 26に示すように本実施の形態6に係る半導体装置は、図1, 2に示した上記実施の形態1に係る半導体装置を基礎として、電源配線21の下方に形成されていた完全分離部分23の代わりに、CMOSの信号入力配線である配線19の下方に完全分離部分66を形成したものである。但し、完全分離部分66とともに、図1に示した完全分離部分23や図17に示した完全分離部分51を併せて形成してもよい。図26に示した完全分離部分66は、図25に示した完全分離領域65内に形成

されている。本実施の形態6に係る半導体装置のその他の構造は、上記実施の形態1に係る半導体装置の構造と同様である。

#### 【0063】

本実施の形態6に係る半導体装置は、図3～16において工程順に示した上記実施の形態1に係る半導体装置の製造方法を基礎として、図6に示した工程で使用するフォトマスクのマスクパターンを変更することによって形成することができる。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分66の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。これにより、完全分離部分66の形成予定領域の上方に開口パターンを有するフォトレジスト34を形成する。

#### 【0064】

このように本実施の形態6に係る半導体装置によれば、配線19の下方には、完全分離部分66を有する素子分離絶縁膜5、即ち完全分離型の素子分離絶縁膜が形成されている。そのため、CMOSへの入力信号にゆらぎが生じたとしても、そのゆらぎに起因してボディ電位が変化することを抑制することができる。従って、特にアナログ回路やRF回路に関して、ドレイン電流Idの線形性が求められる領域において、このボディ電位の変化に起因するドレイン電流Idの変動を抑制できるため、回路特性の向上を図ることができる。

#### 【0065】

なお、図25、26では、ポリシリコンから成るゲート電極7と、アルミから成る入力用の配線19とがコンタクトホール18を介して互いに接続されているタイプの半導体装置を示したが、いずれもポリシリコンから成るゲート電極7及び入力用の配線19が一体として形成されているタイプの半導体装置であっても、配線19の下方に完全分離型の素子分離絶縁膜を形成することによって、上記と同様の効果が得られる。

#### 【0066】

実施の形態7.

本実施の形態7では、上記実施の形態1～3、6に係る半導体装置のように、

素子分離絶縁膜の完全分離部分が配線の下方に形成されている半導体装置の製造方法に関して、その完全分離部分を形成する際に使用されるフォトマスクのマスクパターンの自動生成方法を提案する。

#### 【0067】

図27～29は、本発明の実施の形態7に係るマスクパターンの生成方法を説明するための概念図である。図27（A）に示すように、設計段階で作成される配線レイアウト70には、配線形成領域71及び配線非形成領域72が、それぞれ2値論理の「1」及び「0」として表されている。本実施の形態7では、この配線レイアウト70を参照することによって、フォトマスクのマスクパターンを自動生成する。以下、ポジ型のフォトレジストを形成する場合を例にとり、具体的に説明する。

#### 【0068】

まず、配線レイアウト70に表されている論理を反転することにより、マスクパターン生成のための設計レイアウト（図示しない）を生成する。このようにして生成された設計レイアウトには、マスクパターンの開口部分及び非開口部分が、それぞれ2値論理の「0」及び「1」として表されている。そして、この設計レイアウトに基づいてフォトマスクを作製する。図27（B）に示すように、作製されたフォトマスク73は、配線レイアウト70の配線形成領域71に対応する開口部74と、配線非形成領域72に対応する非開口部75とを有している。

#### 【0069】

以下、上記したマスクパターンの自動生成方法を、本発明に係る半導体装置の製造方法に適用する方法について説明する。図28には、上記実施の形態1～3、6に係る半導体装置に対応するCMOSレイアウト76が示されている。まず、このCMOSレイアウト76内で、完全分離部分の形成を禁止する禁止領域77を指定する。具体的には、ソース・ドレイン領域27、28やボディ領域11、12等を含む、CMOSの形成領域の周辺を禁止領域77として指定する。

#### 【0070】

次に、図1に示した電源配線21、接地配線22、及び配線19、26に関する配線レイアウトと、禁止領域77が指定されたCMOSレイアウト76とを參

照することにより、禁止領域77以外の領域において、上記マスクパターンの自動生成方法を適用して、図6に示した工程でフォトレジストを露光する際に使用されるフォトマスクを作製する。その後、上記実施の形態1で説明した方法によって、完全分離部分及び部分分離部分を有する素子分離絶縁膜を形成する。図29には、このようにして形成された素子分離絶縁膜の分離パターン78のうち、完全分離部分が形成されている箇所のみが完全分離領域79として示されている。図29によると、CMOSレイアウト76の禁止領域77以外の領域において、電源配線21、接地配線22、及び配線19, 26の下方に、完全分離領域79がそれぞれ形成されていることが分かる。

#### 【0071】

以上の説明では、配線レイアウト70に表されている論理を単に反転することにより設計レイアウトを生成した結果、完全分離部分の幅は配線の幅に等しかった。ここでは、上記マスクパターンの自動生成方法を基礎として、配線の幅よりも広い幅の完全分離部分を形成する方法について説明する。

#### 【0072】

図30, 31は、本発明の実施の形態7に係る他のマスクパターンの生成方法を説明するための概念図である。図30(A)に示されるように、配線レイアウト70には、幅がW1の配線形成領域71が表されている。設計レイアウトを生成する際には、配線形成領域71の幅をW2( $>W1$ )とみなして(即ち配線幅にオーバーサイズを施して)、配線レイアウト70の論理を反転する。図30(B)に示されるように、このようにして生成された設計レイアウト81には、幅がW2の開口部分82と、その他の非開口部分83とが表されている。そして、この設計レイアウト81に基づいてフォトマスクを作製する。図30(C)に示すように、作製されたフォトマスク84は、設計レイアウト81の開口部分82に対応する、幅がW2の開口部85と、設計レイアウト81の非開口部分83に対応する非開口部86とを有している。

#### 【0073】

図31には、上記他のマスクパターンの生成方法を本発明に係る半導体装置の製造方法に適用した結果が示されている。図31に示した分離パターン87と図

29に示した分離パターン78とを比較すると、分離パターン78の完全分離領域79の幅に比べて、分離パターン87の完全分離領域88の幅の方が広くなっていることが分かる。

## 【0074】

なお、設計レイアウトを生成する際に配線幅にアンダーサイズを施すことにより、完全分離部分の幅を、配線の実際の幅よりも狭く設定することも可能である。

## 【0075】

このように本実施の形態7に係るマスクパターンの生成方法によれば、素子分離絶縁膜の完全分離部分を配線の下方に形成する半導体装置の製造方法において、配線レイアウトを参照することにより、完全分離部分を形成する際に使用されるフォトマスクのマスクパターンを容易に生成することができる。

## 【0076】

実施の形態8。

図32は、本発明の実施の形態8に係る半導体装置の構造を示す上面図であり、図33は、図32に示した半導体装置の、ラインL7に沿った位置における断面構造を示す断面図である。ICチップ90の中央部には、上記各実施の形態1～6に係る半導体装置が、LSI91として作り込まれている。また、ICチップ90の周縁部には、LSI91と外部素子とを電気的に接続するための、アルミニウム等から成る複数のボンディングパッド92が並んで配置されている。ボンディングパッド92は、層間絶縁膜20上に形成されている。また、本実施の形態8に係る半導体装置は、ボンディングパッド92が形成されている領域の下方において、シリコン層4の上面から絶縁層3の上面に達して形成された、完全分離部分95を有する素子分離絶縁膜5を備えている。図33に示した完全分離部分95は、図32に示した完全分離領域94内に形成されている。

## 【0077】

本実施の形態8に係る半導体装置は、図3～16において工程順に示した上記実施の形態1に係る半導体装置の製造方法を基礎として、図6に示した工程で使用するフォトマスクのマスクパターンを変更することによって形成することがで

きる。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分95の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。これにより、完全分離部分95の形成予定領域の上方に開口パターンを有するフォトレジスト34を形成する。

## 【0078】

このように本実施の形態8に係る半導体装置によれば、ボンディングパッド92の下方には、完全分離部分95を有する素子分離絶縁膜5、即ち完全分離型の素子分離絶縁膜が形成されている。そのため、何らかのノイズが外部素子からボンディングパッド92を介してICチップ90に伝わってきた場合であっても、そのノイズに起因するボディ電位の変動を適切に防止することができる。その結果、アナログ回路やRF回路における線形性を向上することが可能となる。

## 【0079】

## 実施の形態9。

図34は、本発明の実施の形態9に係る半導体装置の構造を示す上面図であり、図35は、図34に示した半導体装置の、ラインL8に沿った位置における断面構造を示す断面図である。但し、図34においては説明の都合上、層間絶縁膜13、20及びサイドウォール8の記載を省略している。図34、35に示すように本実施の形態9に係る半導体装置は、図1、2に示した上記実施の形態1に係る半導体装置を基礎として、完全分離部分23を形成する代わりに、n<sup>-</sup>型の低濃度不純物領域98を形成したものである。低濃度不純物領域98は、電源配線21の下方において、パーシャルトレンチ型の素子分離絶縁膜5の底面と絶縁層3の上面との間のシリコン層4内に形成されている。図35に示した低濃度不純物領域98は、図34に示した高抵抗領域97内に形成されている。本実施の形態9に係る半導体装置のその他の構造は、上記実施の形態1に係る半導体装置の構造と同様である。

## 【0080】

なお、以上の説明では、図1、2に示した上記実施の形態1に係る半導体装置を基礎として本実施の形態9に係る発明を適用する場合について説明したが、こ

れに限らず、上記実施の形態2、3に係る発明を基礎として本実施の形態9に係る発明を適用することも可能である。この場合、接地配線22の下方において、完全分離部分51を形成する代わりに、パーシャルレンチ型の素子分離絶縁膜5の底面と絶縁層3の上面との間のシリコン層4内に、p<sup>-</sup>型の低濃度不純物領域を形成すればよい。

#### 【0081】

このように本実施の形態9に係る半導体装置によれば、電源配線21の下方にn<sup>-</sup>型の低濃度不純物領域98を形成した。低濃度不純物領域98は抵抗値が高く、絶縁体に近い性質を有する。そのため、何らかの外部ノイズの影響によって電源配線21の電位が変動した場合であっても、低濃度不純物領域98と電源配線21との間で容量カップリングは生じにくい。従って、電源配線21の電位の変動に起因するボディ領域11の電位の変動を抑制でき、その結果、アナログ回路やR F回路における線形性を向上することが可能となる。

#### 【0082】

##### 【発明の効果】

この発明のうち請求項1に係るものによれば、電源／接地配線の少なくとも一方の下方には第1の完全分離型素子分離絶縁膜が形成されている。そのため、何らかの外部ノイズの影響によって電源／接地配線の少なくとも一方の電位が変動したとしても、その電位の変動に起因して半導体層の電位が変動することを防止することができる。

#### 【0083】

また、この発明のうち請求項2に係るものによれば、動作しきい値電圧が互いに異なる第1の半導体素子と第2の半導体素子との間には、第2の完全分離型素子分離絶縁膜が形成されている。従って、第1及び第2の半導体素子の一方の半導体素子において発生した熱が他方の半導体素子に伝導することを抑制することができため、その熱によって第1及び第2の半導体素子の動作が不安定になることを防止することができる。

#### 【0084】

また、この発明のうち請求項3に係るものによれば、動作周波数が互いに異な

る第1の半導体素子と第2の半導体素子との間には、第2の完全分離型素子分離絶縁膜が形成されている。従って、第1の半導体素子が形成されている部分の半導体層の電位と、第2の半導体素子が形成されている部分の半導体層の電位とが、動作周波数が異なることに起因して互いに影響を及ぼし合うことを防止することができる。

#### 【0085】

また、この発明のうち請求項4に係るものによれば、信号配線の下方には第3の完全分離型素子分離絶縁膜が形成されている。そのため、外部ノイズの影響によって信号配線の電位に変動が生じたとしても、その変動に起因して半導体層の電位が変化することを防止することができる。

#### 【0086】

また、この発明のうち請求項5に係るものによれば、ボンディングパッドの下方には第4の完全分離型素子分離絶縁膜が形成されている。そのため、何らかのノイズが外部素子からボンディングパッドを介して伝わってきた場合であっても、そのノイズに起因して半導体層の電位が変動することを防止することができる。

#### 【0087】

また、この発明のうち請求項6に係るものによれば、動作しきい値電圧が互いに異なる第1の半導体素子と第2の半導体素子との間には、完全分離型素子分離絶縁膜が形成されている。従って、第1及び第2の半導体素子の一方の半導体素子において発生した熱が他方の半導体素子に伝導することを抑制することができるため、その熱によって第1及び第2の半導体素子の動作が不安定になることを防止することができる。

#### 【0088】

また、この発明のうち請求項7に係るものによれば、動作周波数が互いに異なる第1の半導体素子と第2の半導体素子との間には、完全分離型素子分離絶縁膜が形成されている。従って、第1の半導体素子が形成されている部分の半導体層の電位と、第2の半導体素子が形成されている部分の半導体層の電位とが、動作周波数が異なることに起因して互いに影響を及ぼし合うことを防止することができる。

きる。

#### 【0089】

また、この発明のうち請求項8に係るものによれば、信号配線の下方には完全分離型素子分離絶縁膜が形成されている。そのため、外部ノイズの影響によって信号配線の電位に変動が生じたとしても、その変動に起因して半導体層の電位が変化することを防止することができる。

#### 【0090】

また、この発明のうち請求項9に係るものによれば、ボンディングパッドの下方には完全分離型素子分離絶縁膜が形成されている。そのため、何らかのノイズが外部素子からボンディングパッドを介して伝わってきた場合であっても、そのノイズに起因して半導体層の電位が変動することを防止することができる。

#### 【0091】

また、この発明のうち請求項10に係るものによれば、何らかの外部ノイズの影響によって電源／接地配線の少なくとも一方の電位が変動した場合であっても、低濃度不純物領域と電源／接地配線の少なくとも一方との間では容量カップリングが生じにくいため、電源／接地配線の少なくとも一方の電位の変動に起因する半導体層の電位の変動を抑制することができる。

#### 【0092】

また、この発明のうち請求項11に係るものによれば、電源／接地配線の少なくとも一方の下方には、部分分離型素子分離絶縁膜ではなく、第1の完全分離型素子分離絶縁膜が形成される。そのため、外部ノイズに起因する電源／接地配線の少なくとも一方の電位の変動に対して、半導体層の電位が変動しない半導体装置を得ることができる。

#### 【0093】

また、この発明のうち請求項12に係るものによれば、動作しきい値電圧が互いに異なる第1の半導体素子と第2の半導体素子との間には、部分分離型素子分離絶縁膜ではなく、第2の完全分離型素子分離絶縁膜が形成される。従って、第1及び第2の半導体素子の一方の半導体素子において発生した熱が他方の半導体素子に伝導することを抑制できるため、発熱に対して安定した動作を行い得る半

導体装置を得ることができる。

【0094】

また、この発明のうち請求項13に係るものによれば、動作周波数が互いに異なる第1の半導体素子と第2の半導体素子との間には、部分分離型素子分離絶縁膜ではなく、第2の完全分離型素子分離絶縁膜が形成される。従って、第1の半導体素子が形成されている部分の半導体層と、第2の半導体素子が形成されている部分の半導体層とに関して、動作周波数が互いに異なることに起因する電位の相互影響を防止し得る半導体装置を得ることができる。

【0095】

また、この発明のうち請求項14に係るものによれば、信号配線の下方には、部分分離型素子分離絶縁膜ではなく、第3の完全分離型素子分離絶縁膜が形成される。そのため、外部ノイズに起因する信号配線の電位の変動に対して、半導体層の電位が変動しない半導体装置を得ることができる。

【0096】

また、この発明のうち請求項15に係るものによれば、ボンディングパッドの下方には、部分分離型素子分離絶縁膜ではなく、第4の完全分離型素子分離絶縁膜が形成される。そのため、何らかのノイズが外部素子からボンディングパッドを介して伝わってきた場合であっても、そのノイズに起因して半導体層の電位が変動しない半導体装置を得ることができる。

【0097】

また、この発明のうち請求項16に係るものによれば、第1の完全分離型素子分離絶縁膜を、部分分離型素子分離絶縁膜内に選択的に形成された完全分離部分として、部分分離型素子分離絶縁膜と併せて形成することができる。

【0098】

また、この発明のうち請求項17に係るものによれば、電源／接地配線の少なくとも一方の形成予定領域が表されている配線レイアウトを参照することにより、フォトレジストを露光する際に使用されるフォトマスクのマスクパターンを容易に生成することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の構造を示す上面図である。

【図2】 図1に示した半導体装置の断面構造を示す断面図である。

【図3】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図5】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図6】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図7】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図8】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図9】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図10】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図11】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図12】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図13】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図14】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図15】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図16】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図17】 本発明の実施の形態2に係る半導体装置の構造を示す上面図である。

【図18】 図17に示した半導体装置の断面構造を示す断面図である。

【図19】 本発明の実施の形態3に係る半導体装置の構造を示す上面図である。

【図20】 図19に示した半導体装置の断面構造を示す断面図である。

【図21】 本発明の実施の形態4に係る半導体装置の構造を示す上面図である。

【図22】 図21に示した半導体装置の断面構造を示す断面図である。

【図23】 本発明の実施の形態5に係る半導体装置の構造を示す上面図である。

【図24】 図23に示した半導体装置の断面構造を示す断面図である。

【図25】 本発明の実施の形態6に係る半導体装置の構造を示す上面図である。

【図26】 図25に示した半導体装置の断面構造を示す断面図である。

【図27】 本発明の実施の形態7に係るマスクパターンの生成方法を説明するための概念図である。

【図28】 本発明の実施の形態7に係るマスクパターンの生成方法を説明するための概念図である。

【図29】 本発明の実施の形態7に係るマスクパターンの生成方法を説明するための概念図である。

【図30】 本発明の実施の形態7に係る他のマスクパターンの生成方法を説明するための概念図である。

【図31】 本発明の実施の形態7に係る他のマスクパターンの生成方法を説明するための概念図である。

【図32】 本発明の実施の形態8に係る半導体装置の構造を示す上面図である。

【図33】 図32に示した半導体装置の断面構造を示す断面図である。

【図34】 本発明の実施の形態9に係る半導体装置の構造を示す上面図である。

【図35】 図34に示した半導体装置の断面構造を示す断面図である。

【図36】 第1の従来の半導体装置の構造を示す断面図である。

【図37】 第2の従来の半導体装置の構造を示す上面図である。

【図38】 第1の従来の半導体装置の問題を説明するためのタイミングチャートである。

【図39】 第1の従来の半導体装置の問題を説明するためのタイミングチャートである。

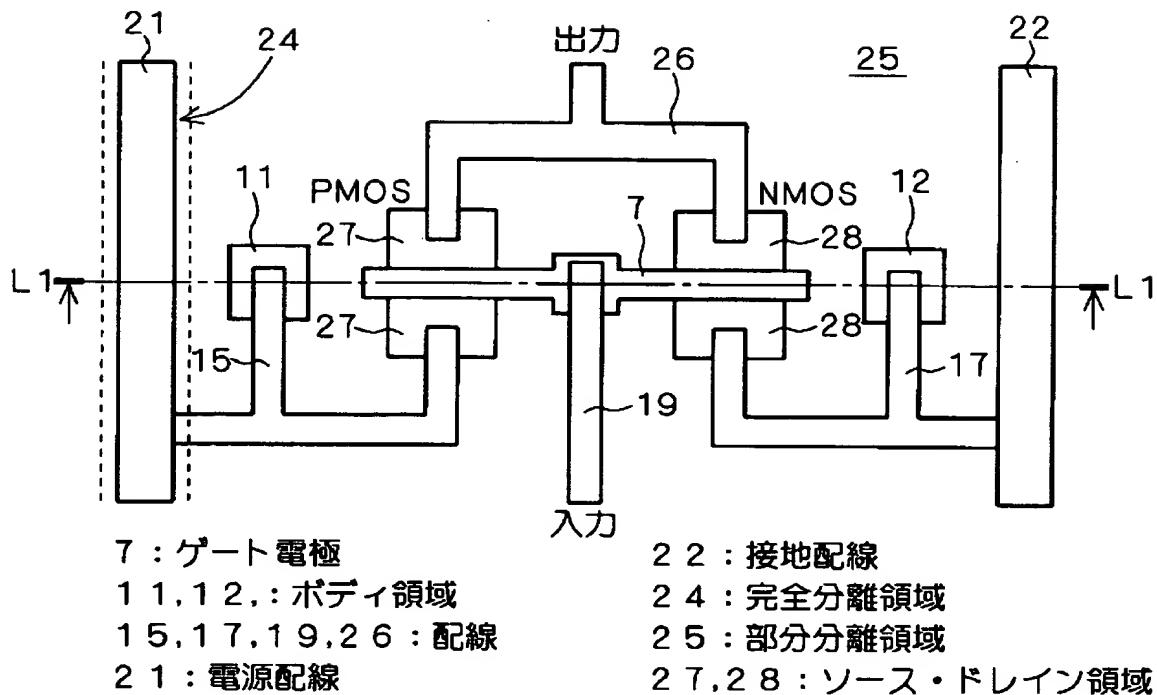
【図40】 第2の従来の半導体装置の問題を説明するための断面図である

【符号の説明】

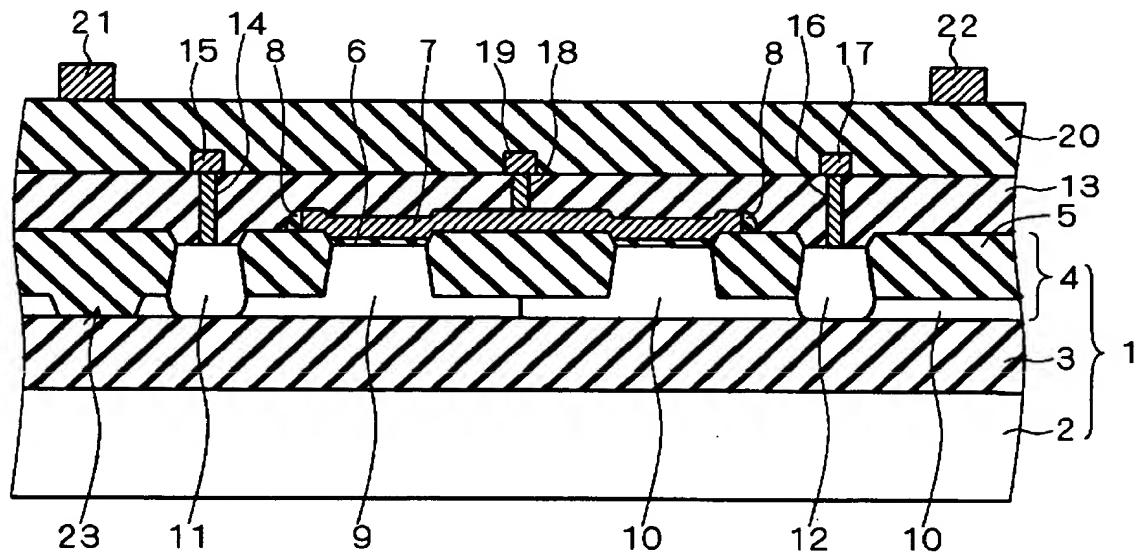
1 SOI基板、2 シリコン基板、3 絶縁層、4 シリコン層、5 素子分離絶縁膜、6 ゲート絶縁膜、7 ゲート電極、13, 20 層間絶縁膜、15, 17, 19, 26 配線、23, 51, 58, 63, 66, 95 完全分離部分、24, 50, 57, 62, 65, 79, 94 完全分離領域、25 部分分離領域、33, 35 凹部、36 シリコン酸化膜、55, 56, 60, 61 CMOS、70 配線レイアウト、71 配線形成領域、73 フォトマスク、74 開口部、76 CMOSレイアウト、77 禁止領域、90 ICチップ、92 ボンディングパッド、97 高抵抗領域、98 低濃度不純物領域。

【書類名】 図面

【図1】

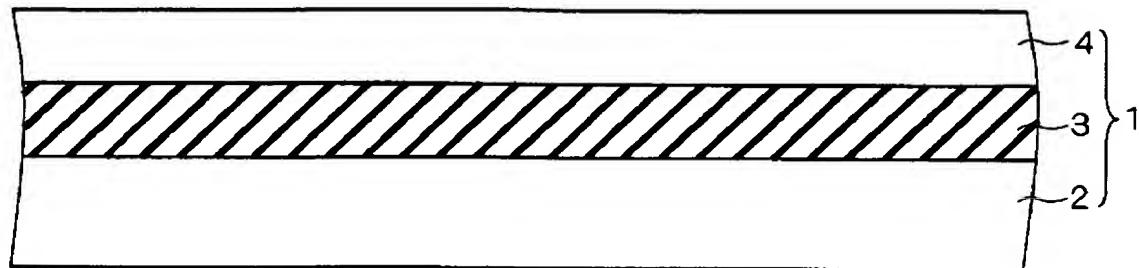


【図2】

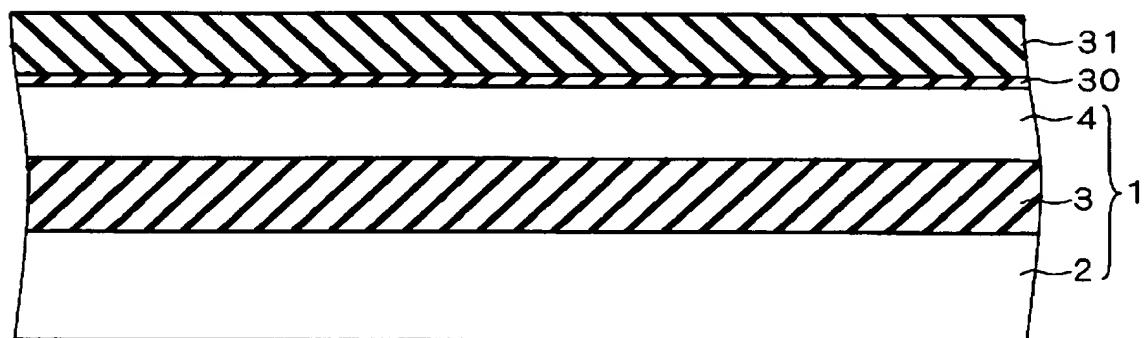


1 : SOI 基板  
2 : シリコン基板  
3 : 絶縁層  
4 : シリコン層  
5 : 素子分離絶縁膜  
6 : ゲート絶縁膜  
8 : サイドウォール  
9, 10 : 不純物導入領域  
11 : コンタクトホール  
12 : コンタクトホール  
13, 20 : 層間絶縁膜  
14, 16, 18 : コンタクトホール  
23 : 完全分離部分

【図3】



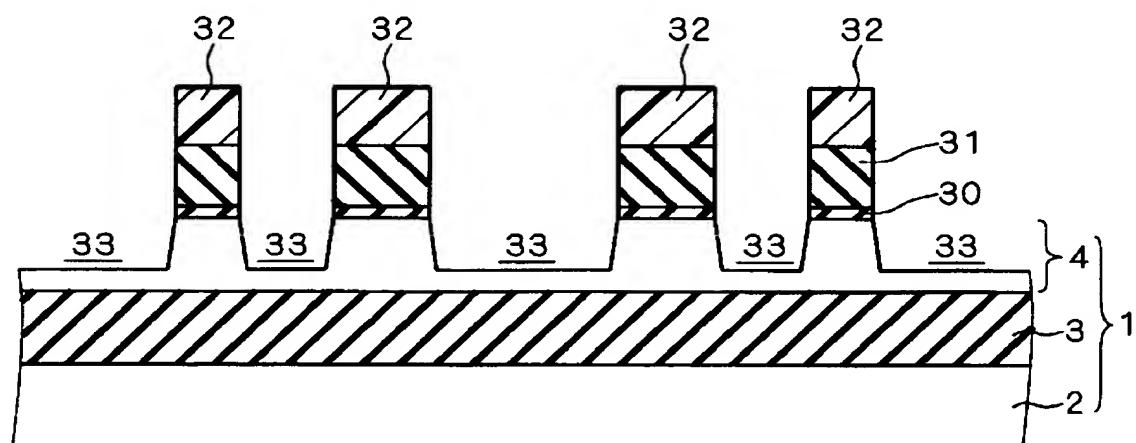
【図4】



30：シリコン酸化膜

31：シリコン窒化膜

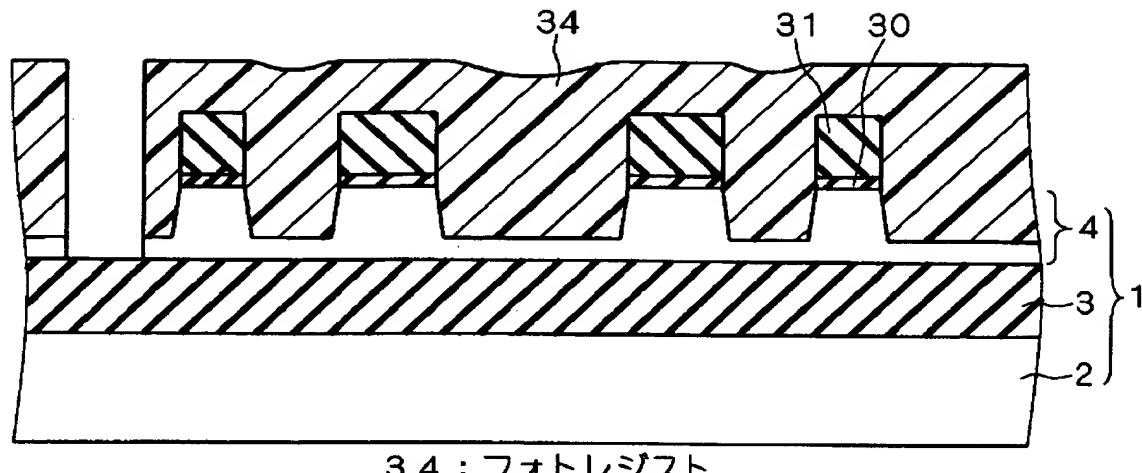
【図5】



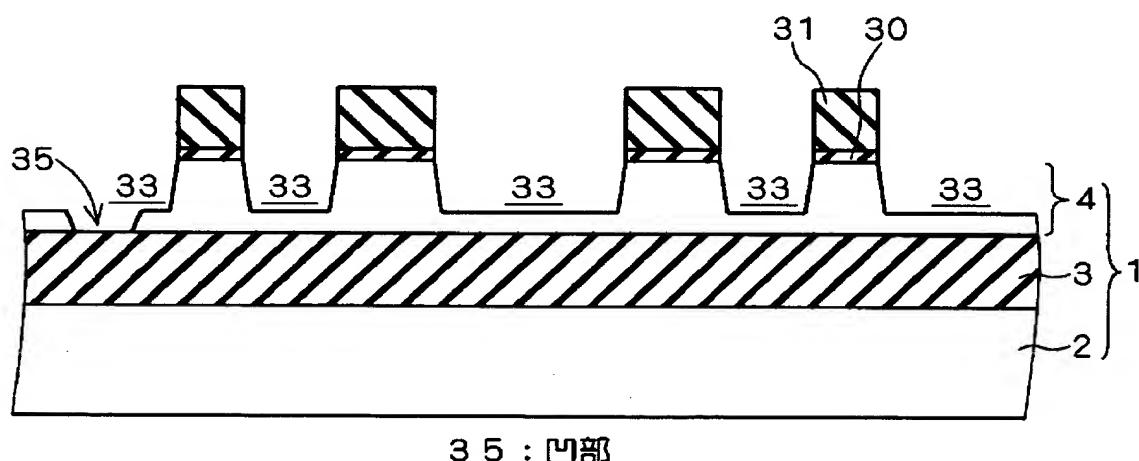
32：フォトレジスト

33：凹部

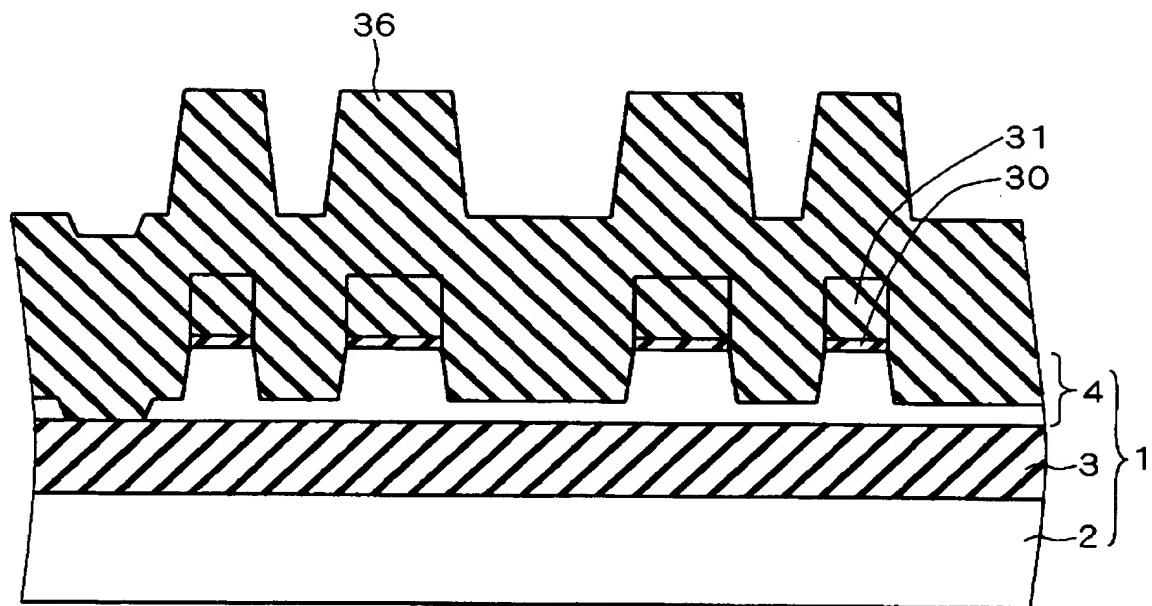
【図6】



【図7】

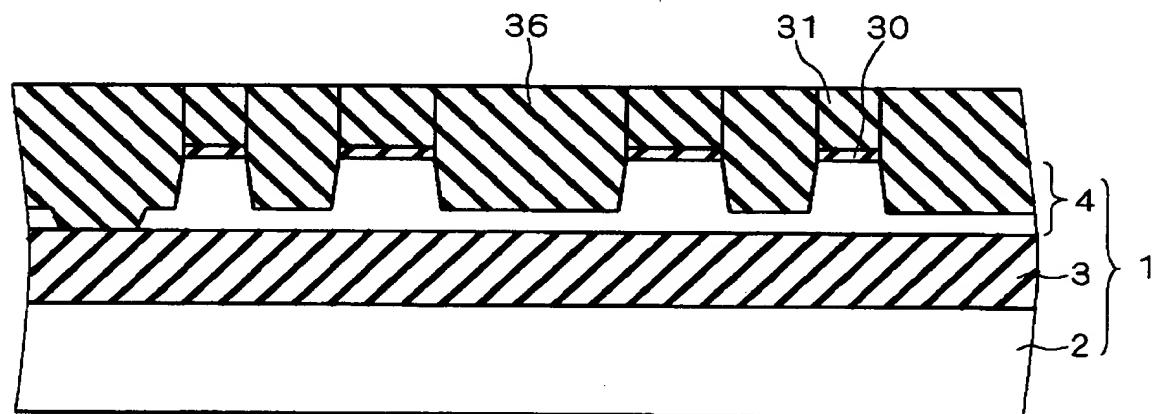


【図8】

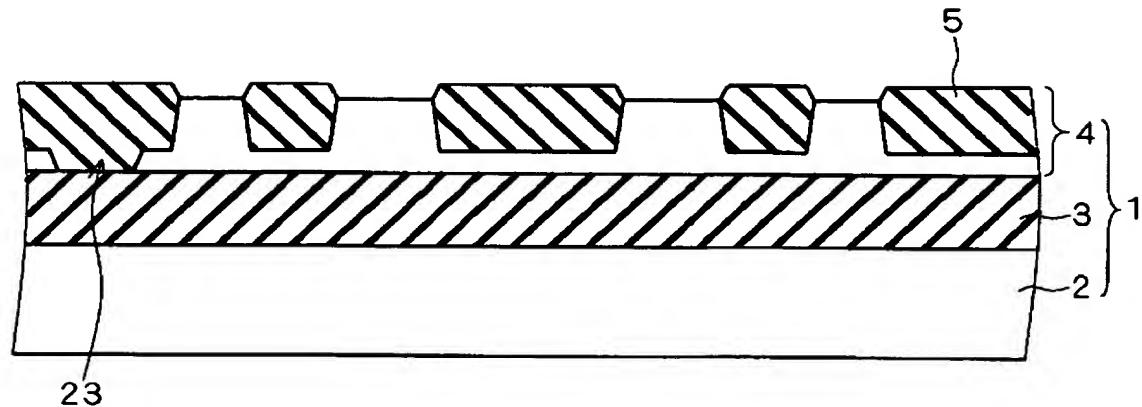


36 : シリコン酸化膜

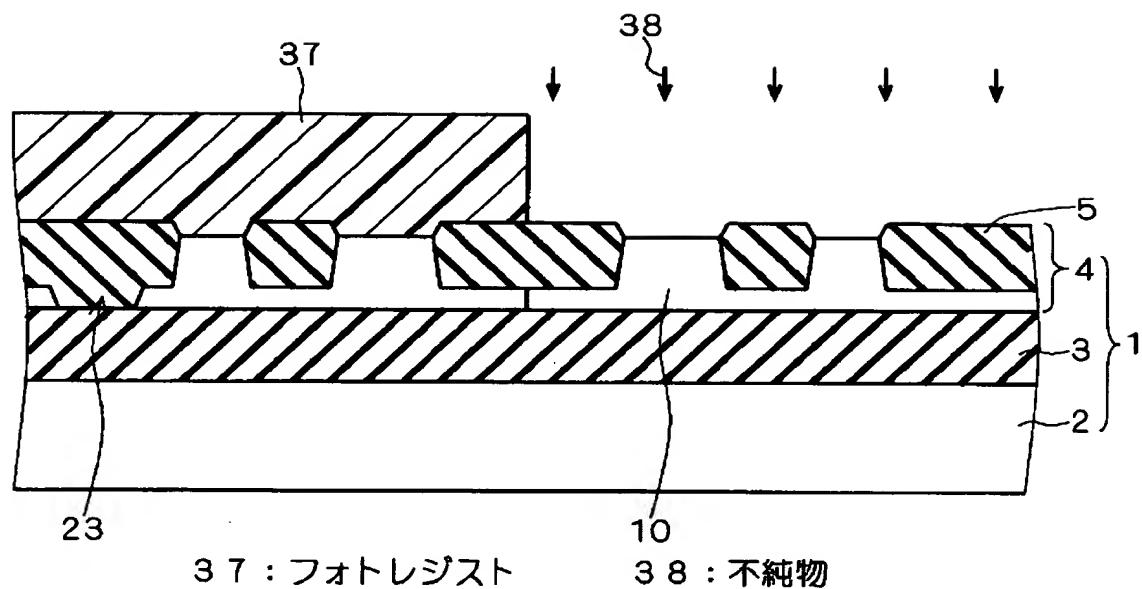
【図9】



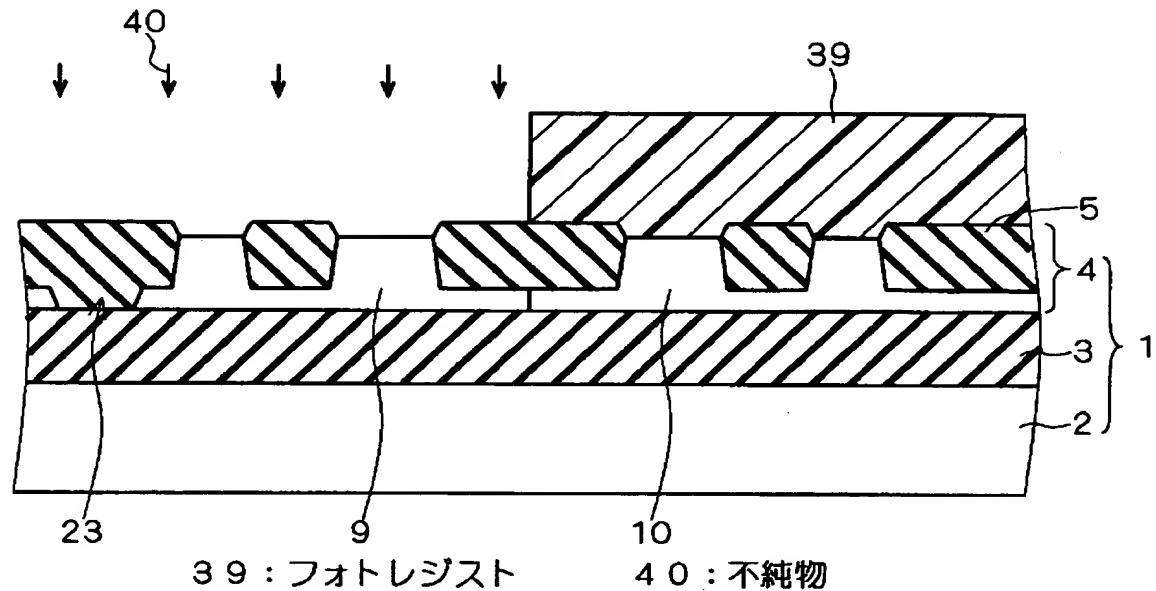
【図10】



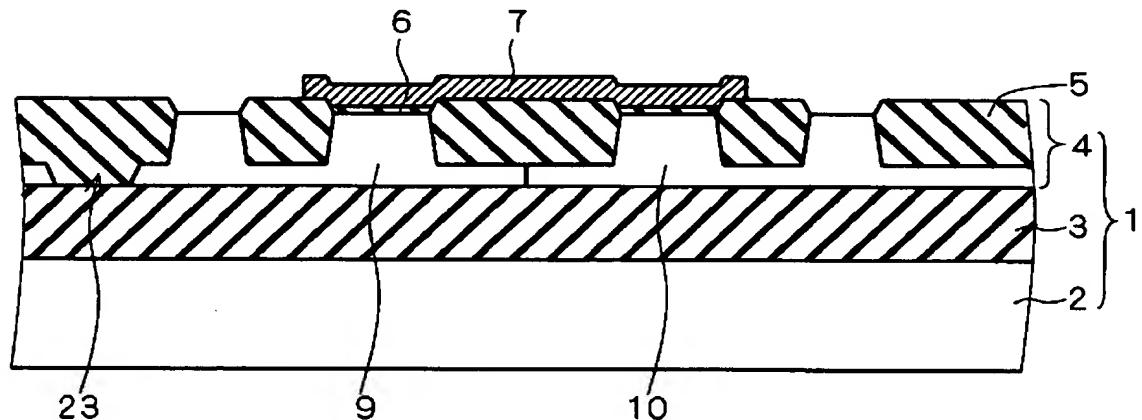
【図11】



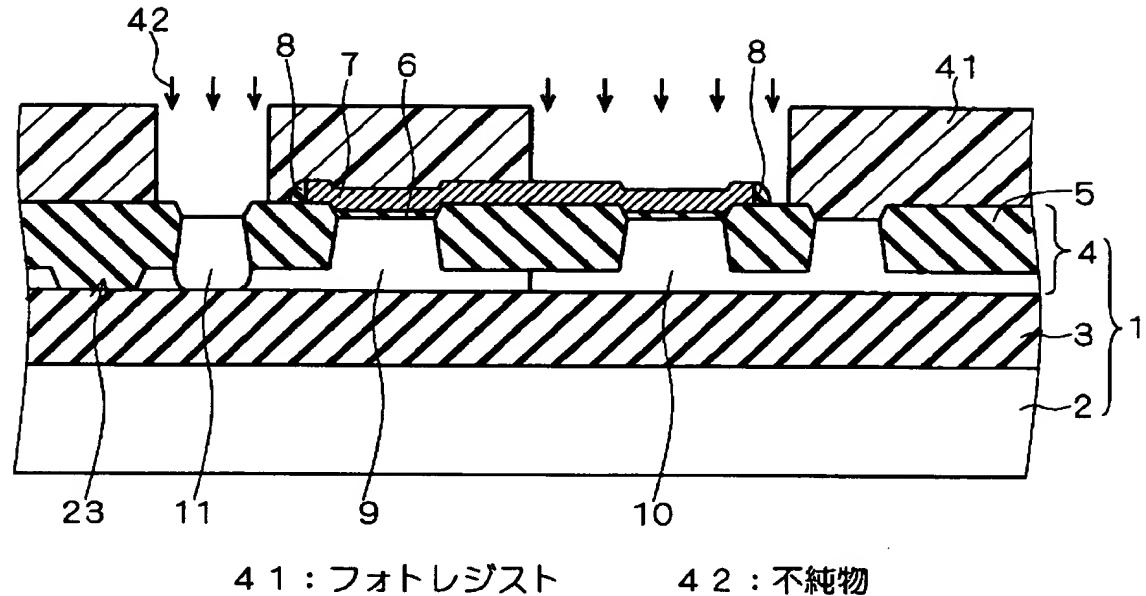
【図12】



【図13】



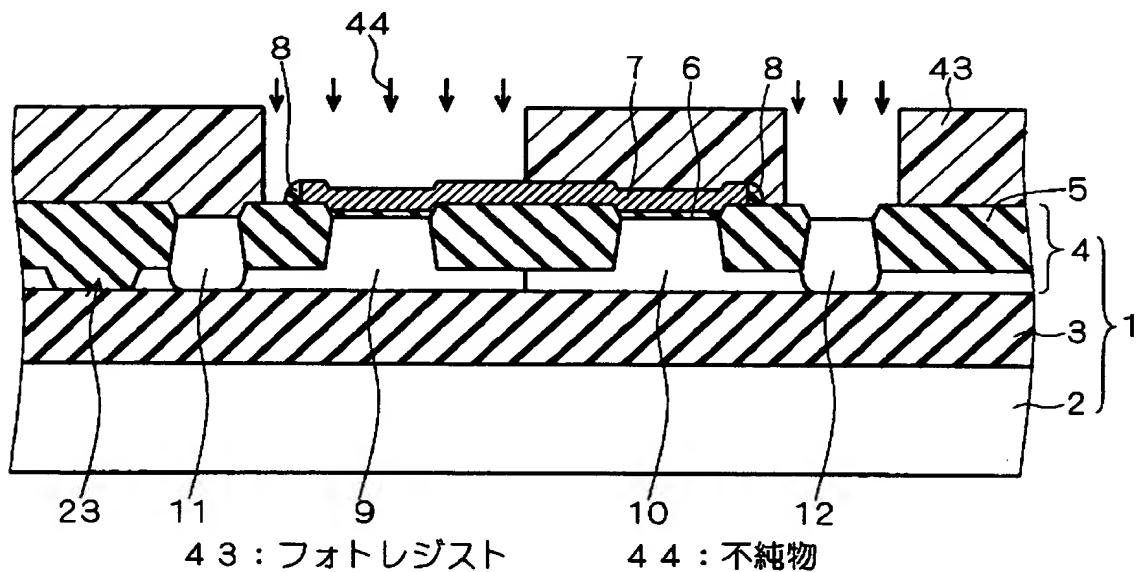
【図14】



41: フォトレジスト

42: 不純物

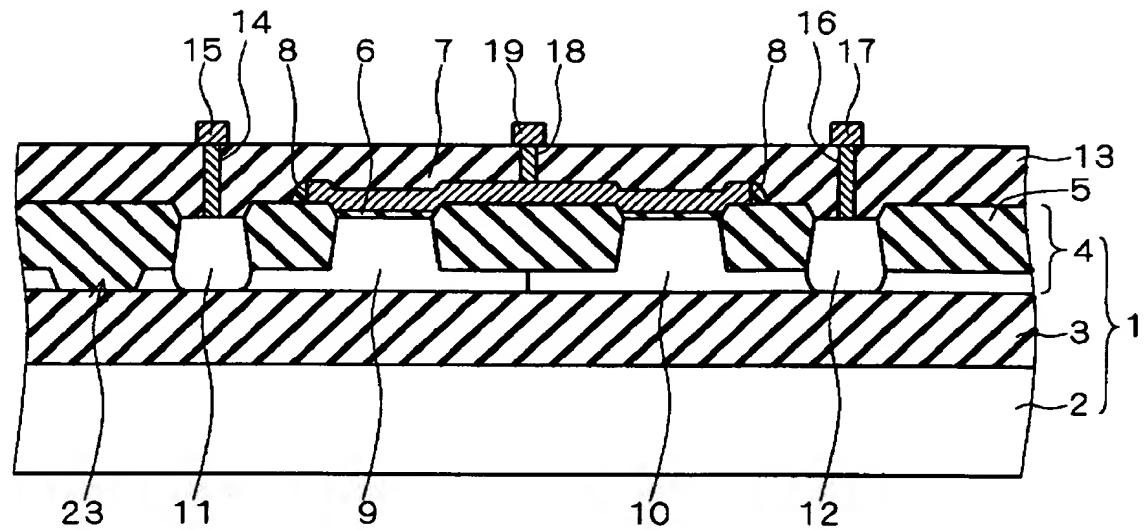
【図15】



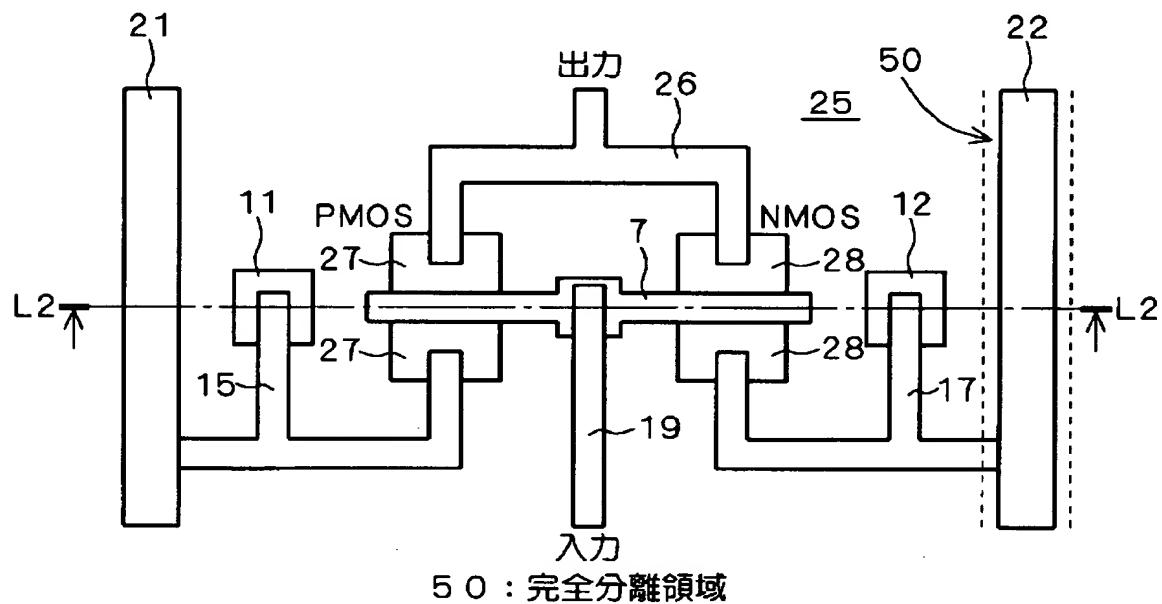
43: フォトレジスト

44: 不純物

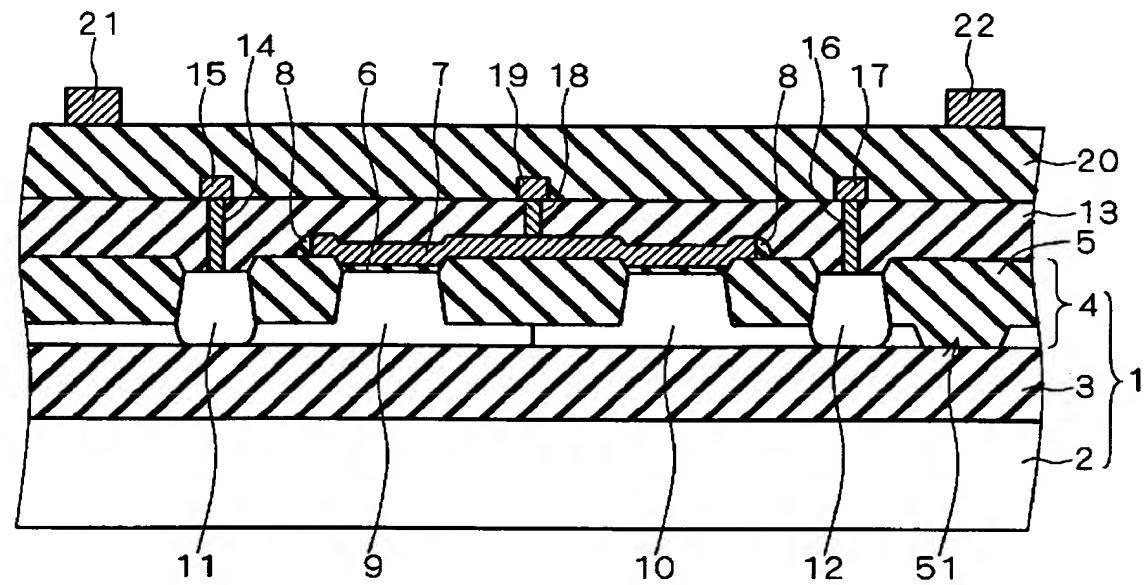
【図16】



【図17】

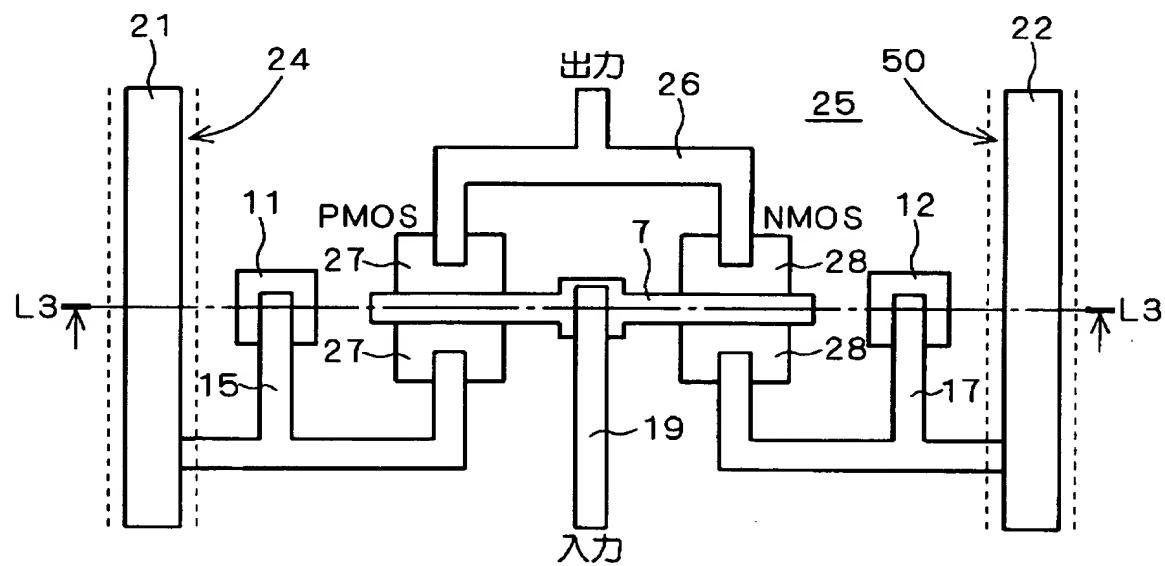


【図18】

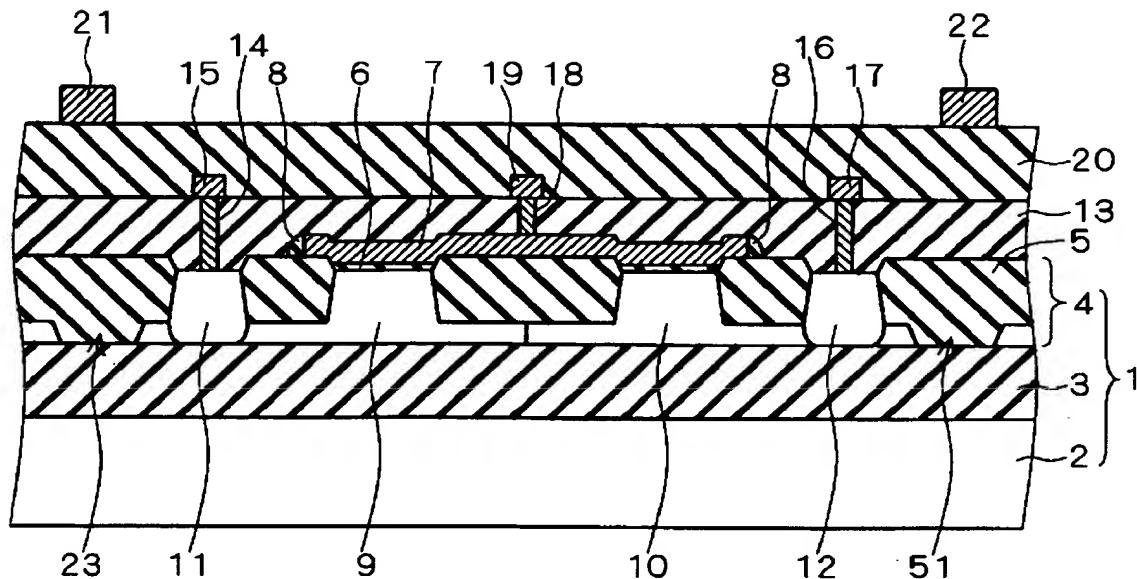


51:完全分離部分

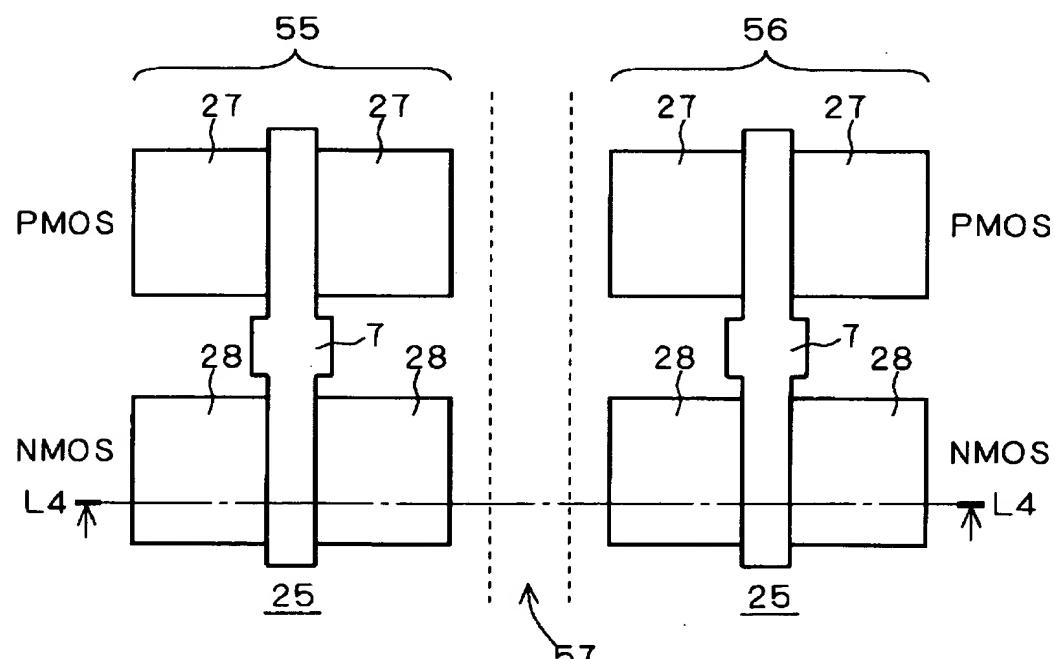
【図19】



【図20】



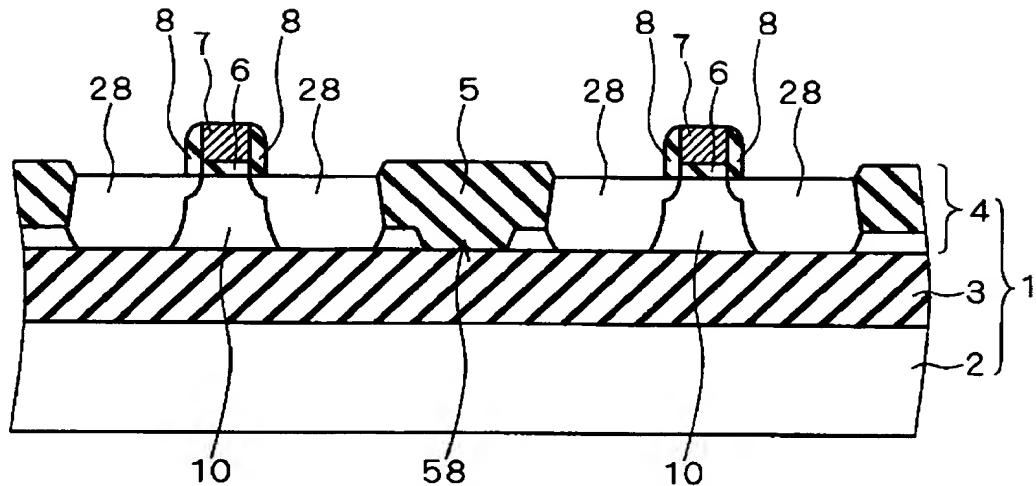
【図21】



55,56 : CMOS

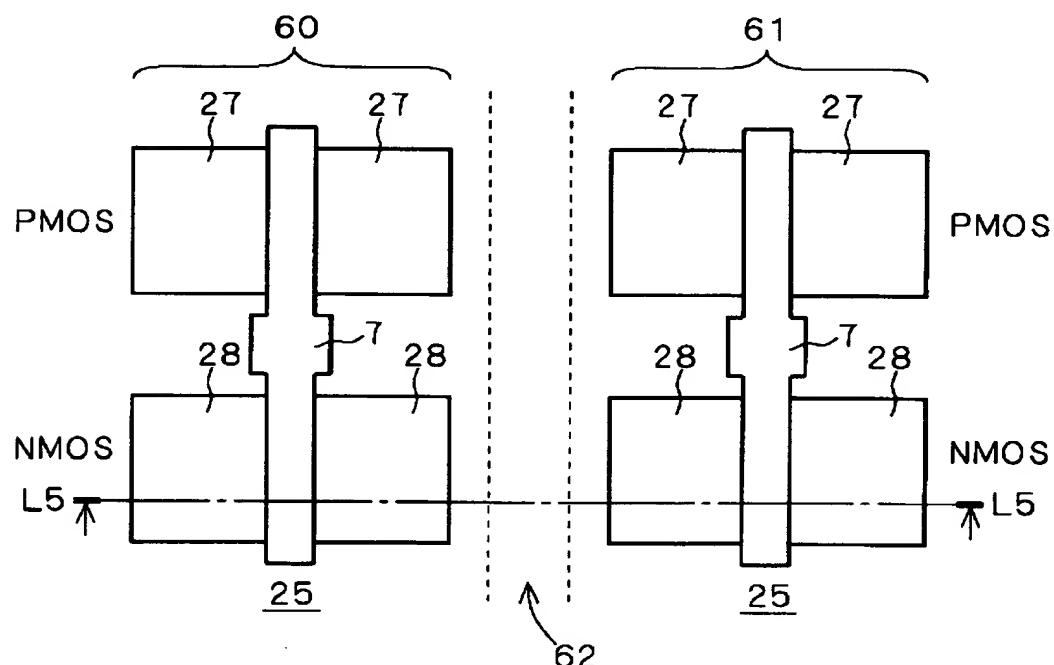
57 : 完全分離領域

【図22】



58:完全分離部分

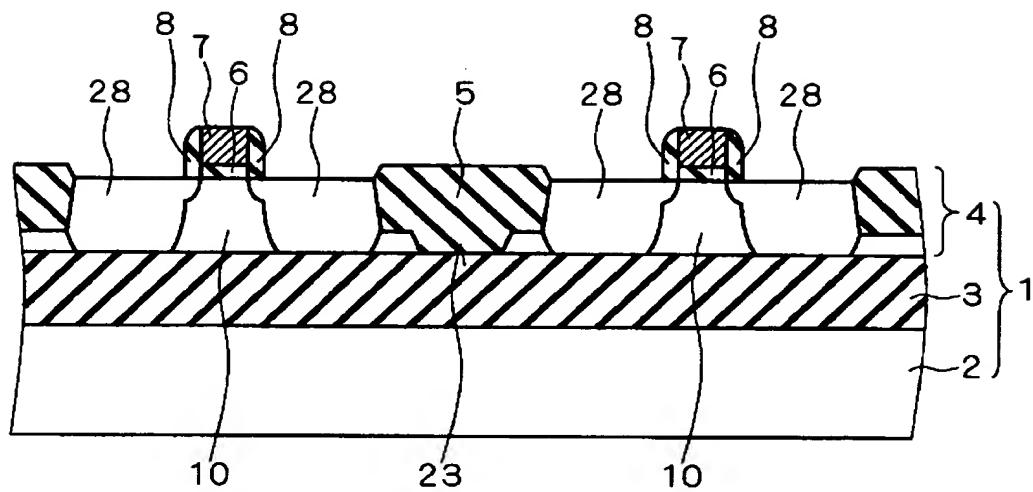
【図23】



60,61:CMOS

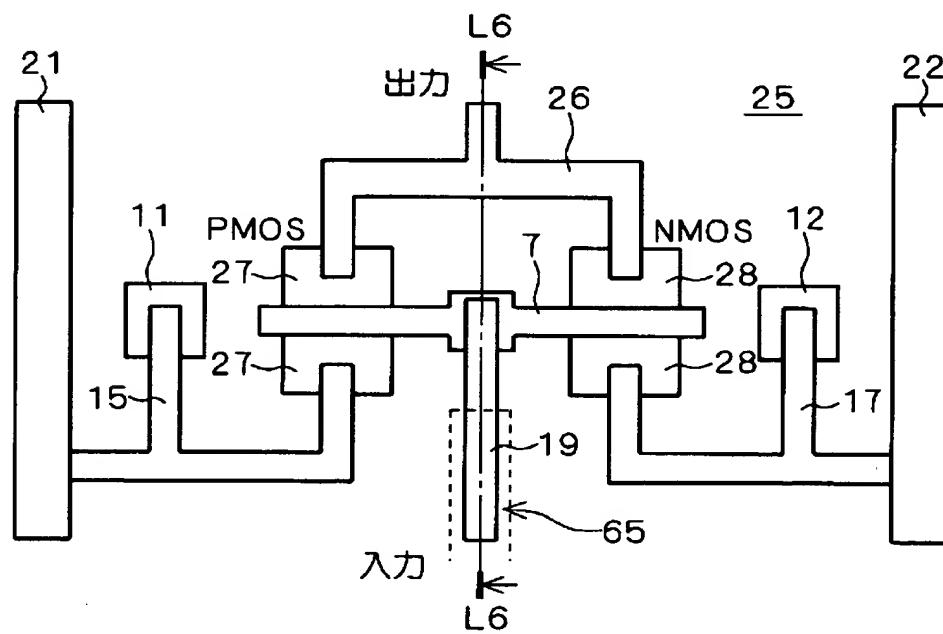
62:完全分離領域

【図24】



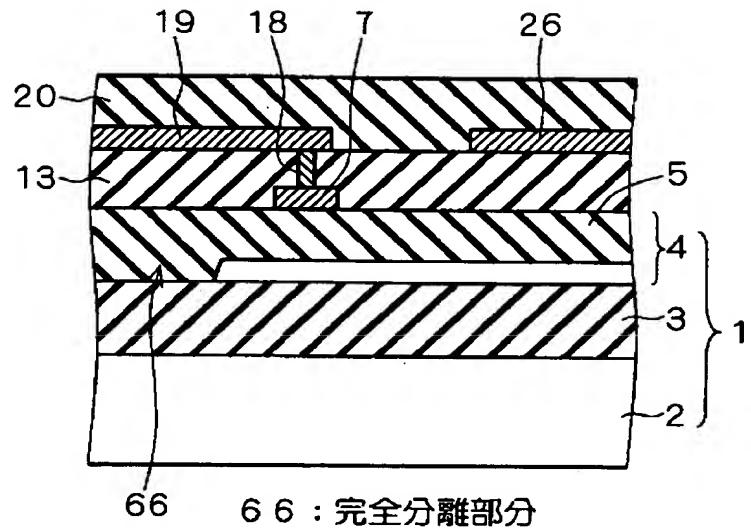
63: 完全分離部分

【図25】

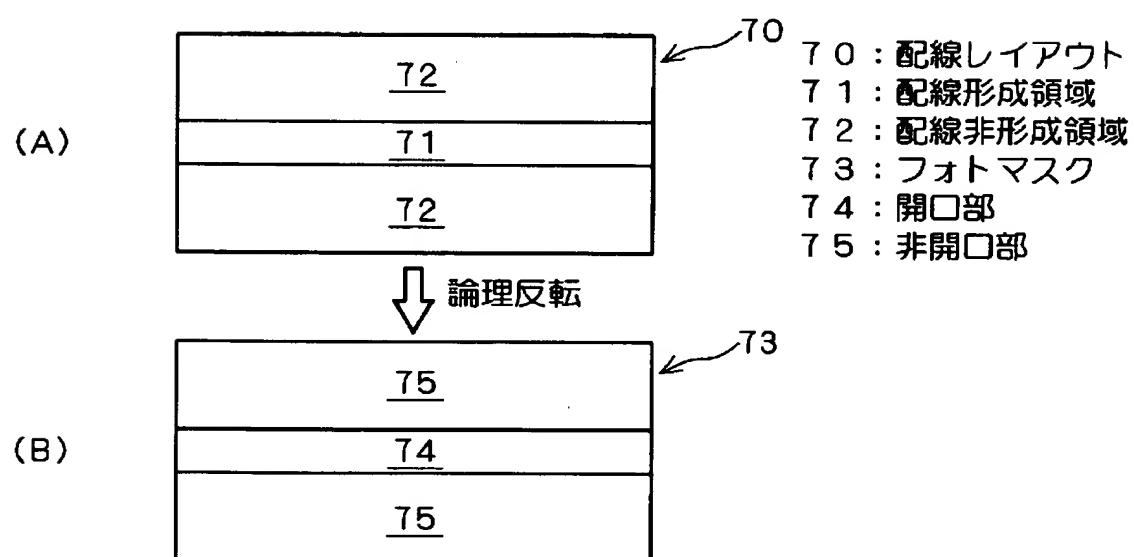


65: 完全分離領域

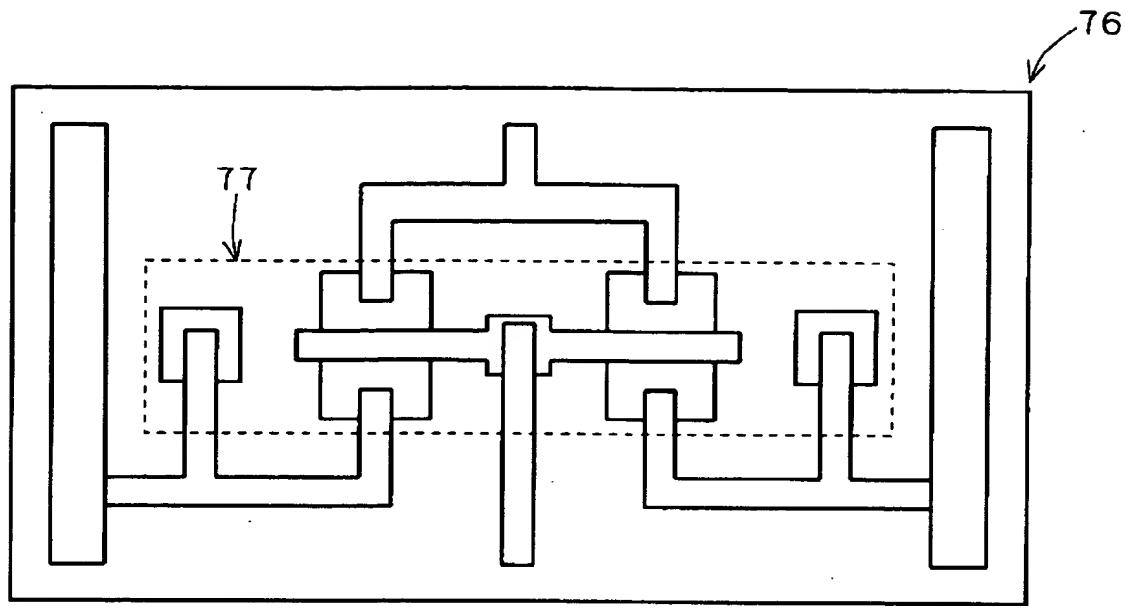
【図26】



【図27】



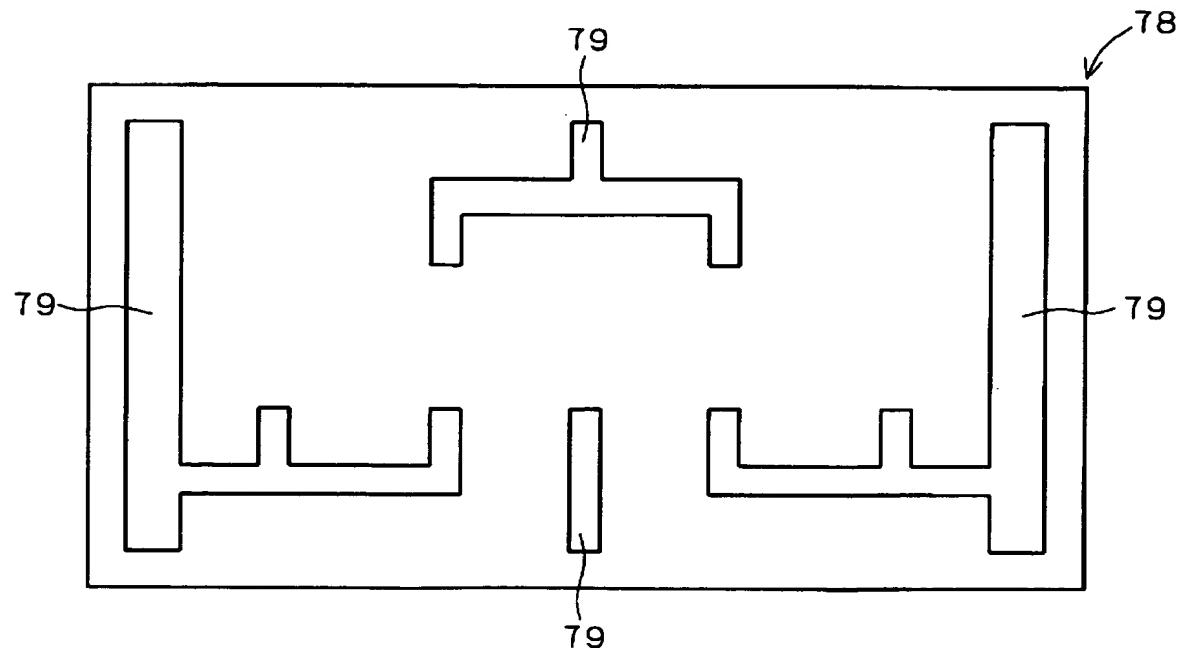
【図28】



76: CMOSレイアウト

77: 禁歛領域

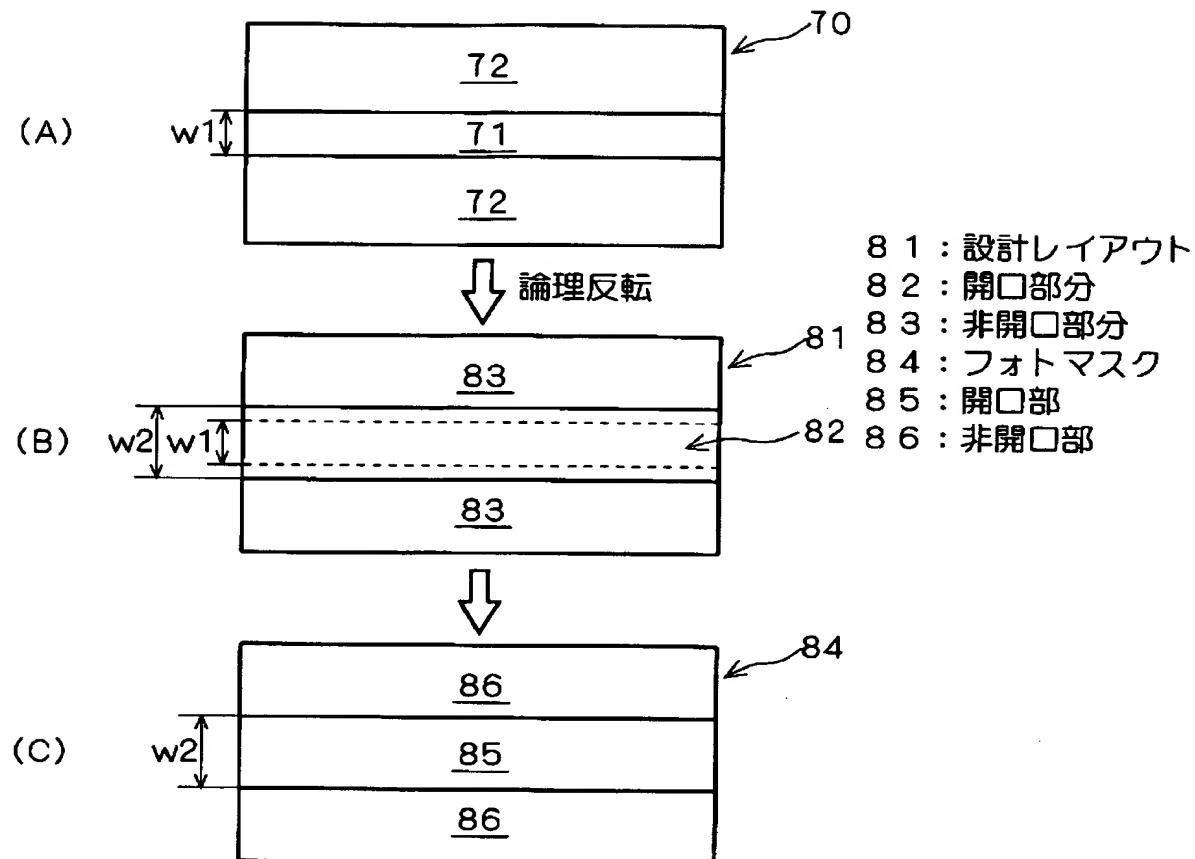
【図29】



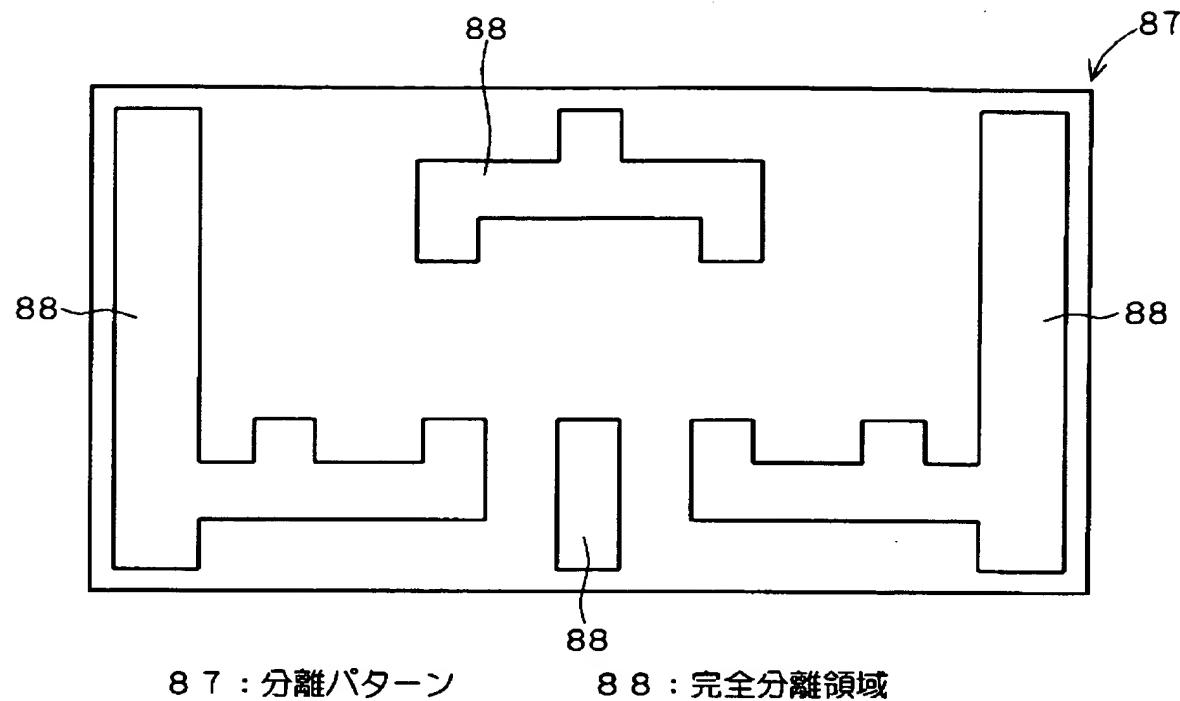
78: 分離パターン

79: 完全分離領域

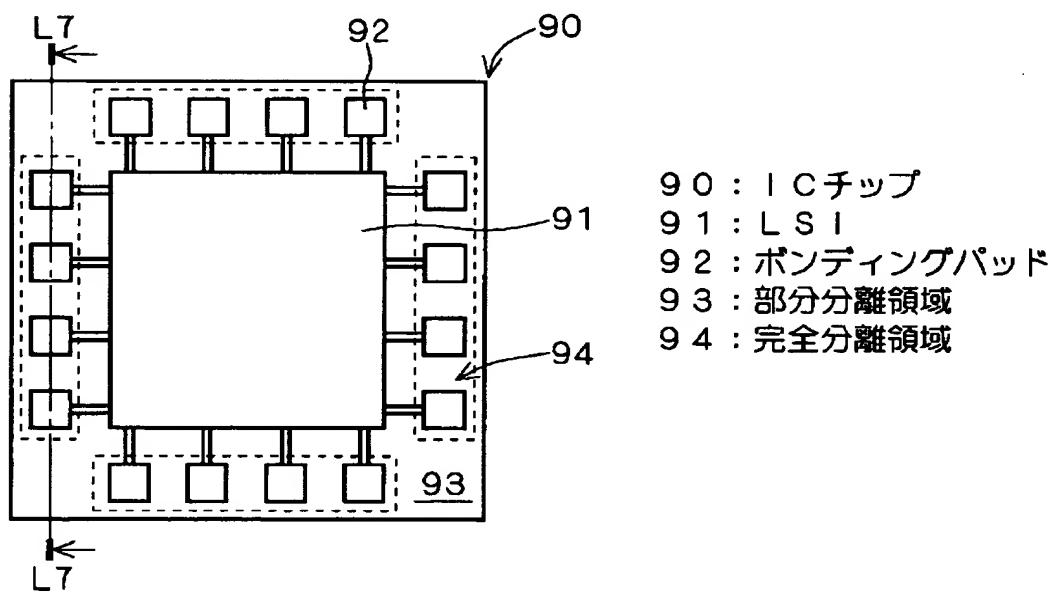
【図30】



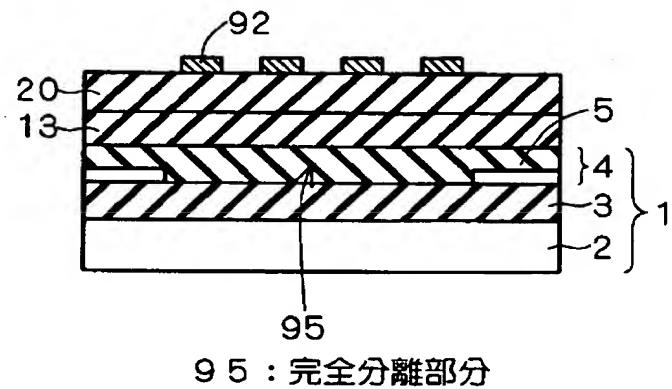
【図31】



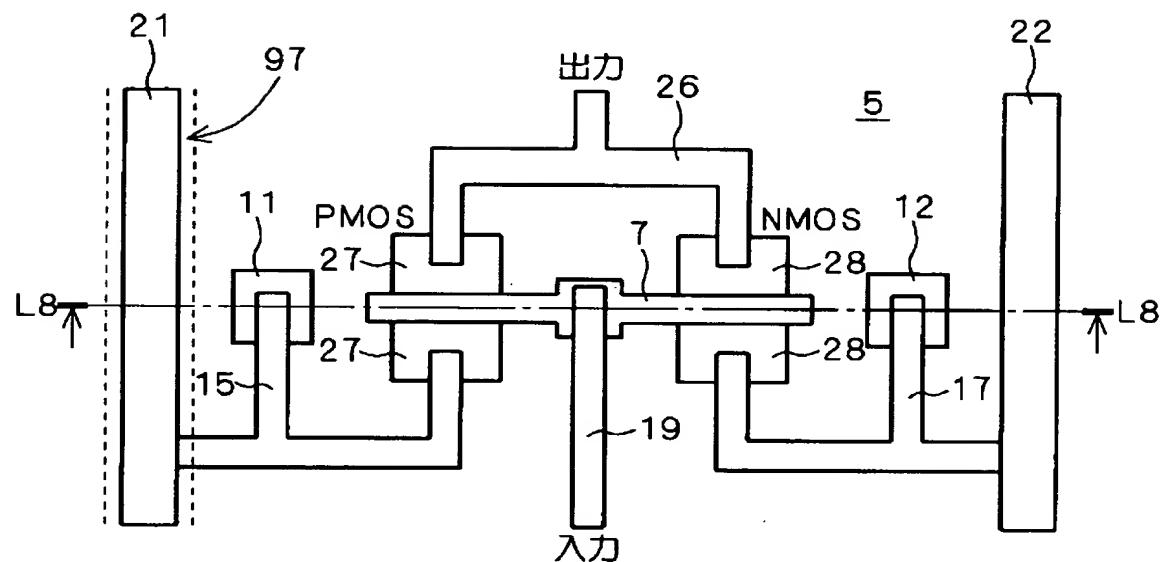
【図32】



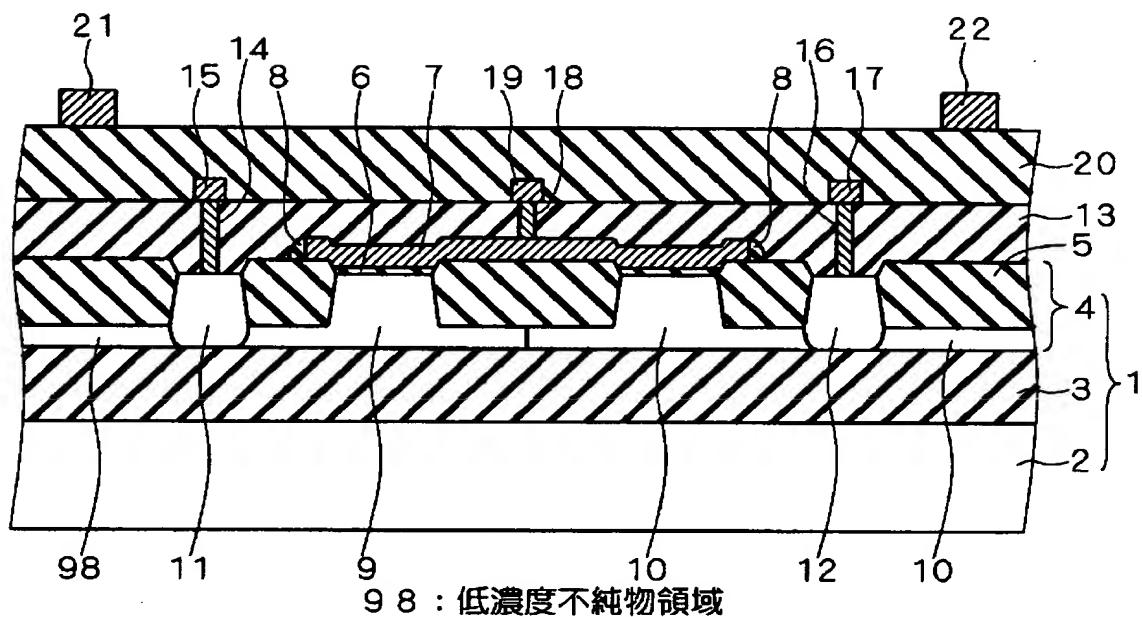
【図33】



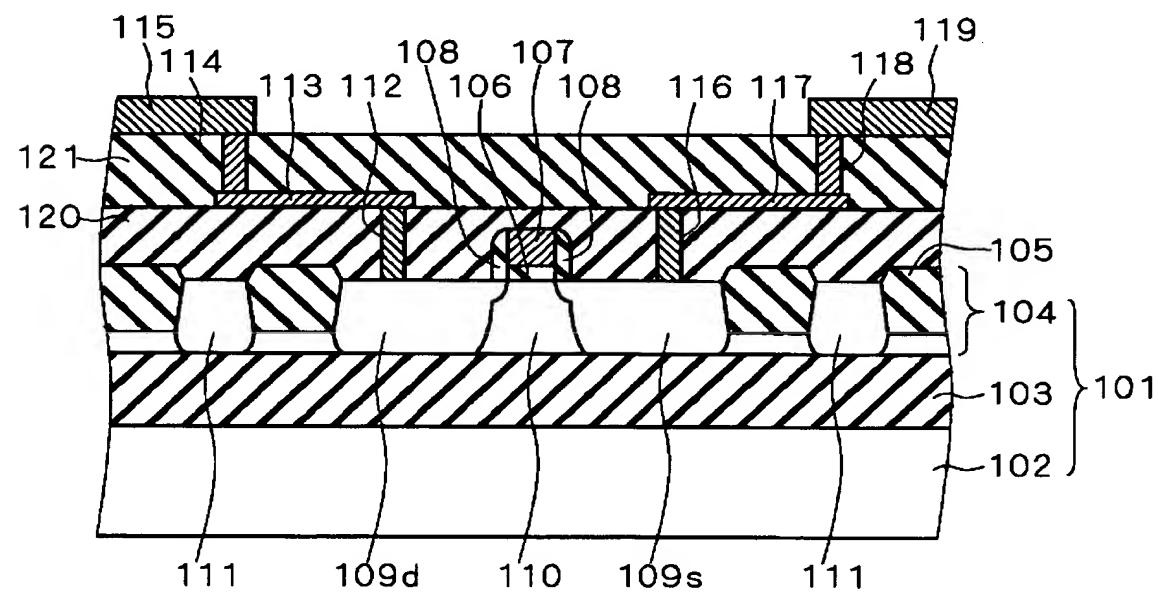
【図34】



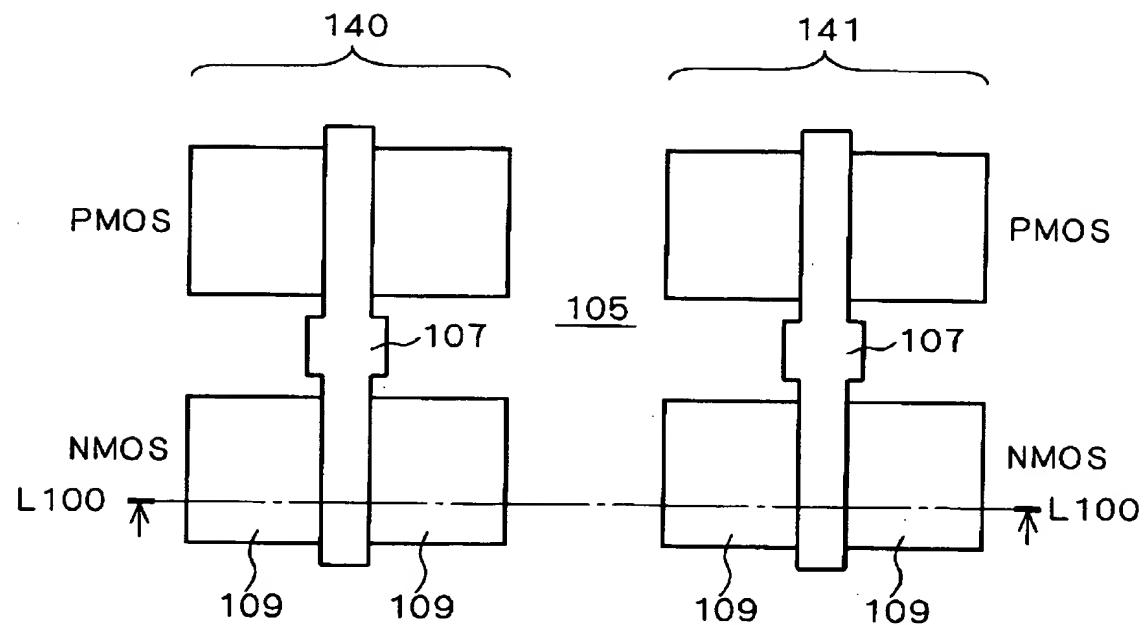
【図35】



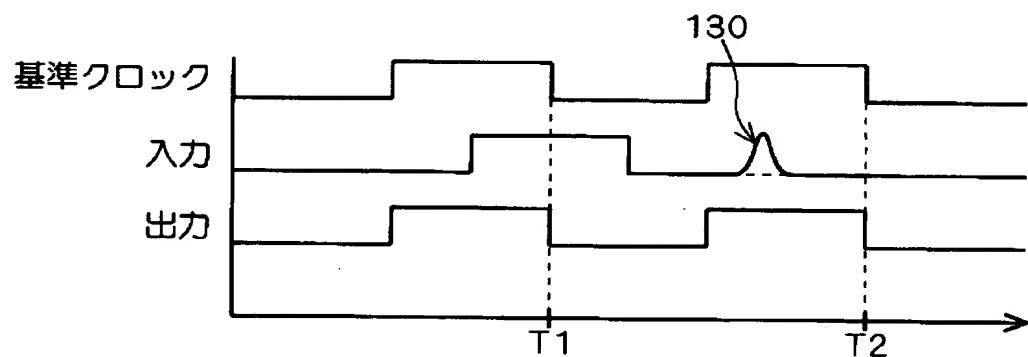
【図36】



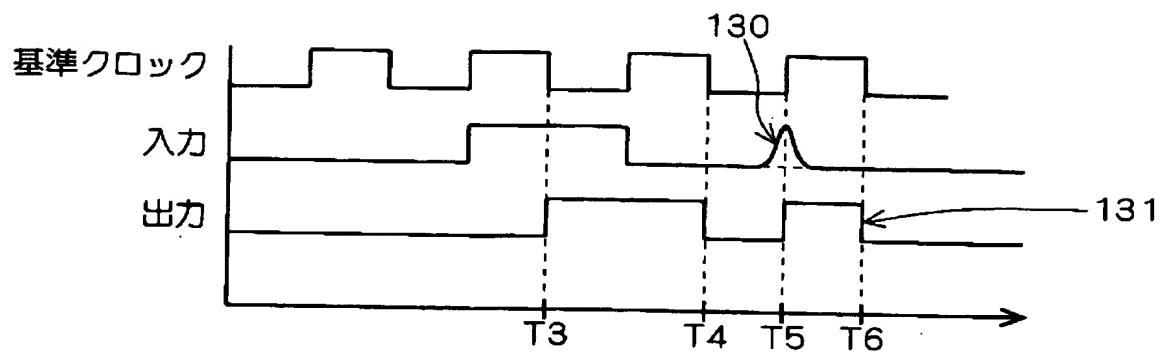
【図37】



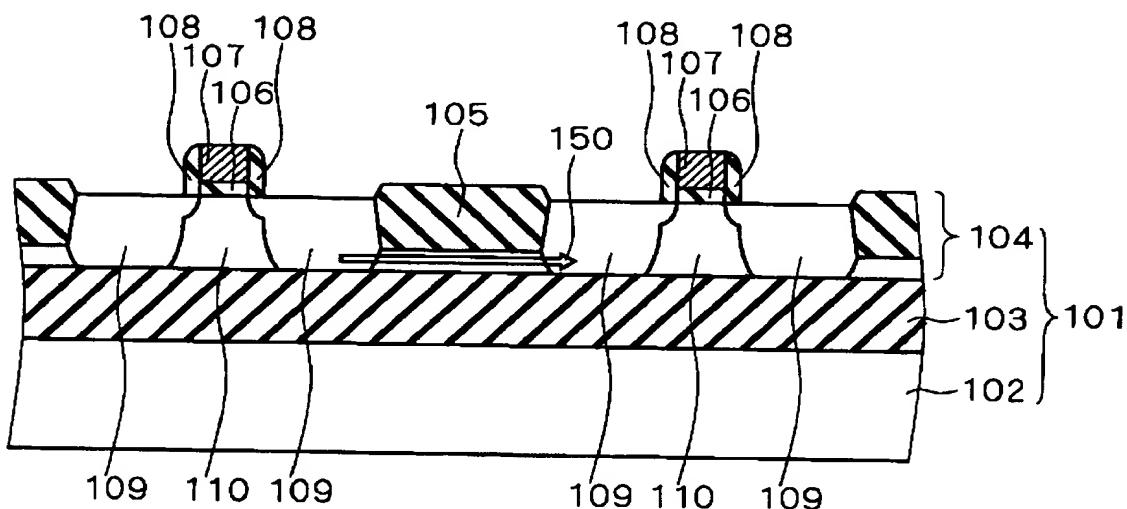
【図38】



【図39】



【図40】



【書類名】 要約書

【要約】

【課題】 電源配線の電位の変動に起因するボディ領域の電位の変動を抑制し得る半導体装置を得る。

【解決手段】 シリコン層4の上面内には、パーシャルトレンチ型の素子分離絶縁膜5が選択的に形成されている。電源配線21は、素子分離絶縁膜5の上方に形成されている。電源配線21の下方において、素子分離絶縁膜5には、絶縁層3の上面に達する完全分離部分23が形成されている。換言すれば、半導体装置は、電源配線21の下方において、シリコン層4の上面から絶縁層3の上面に達して形成された完全分離型の素子分離絶縁膜を備えている。

【選択図】 図2

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社